

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor: : **Makoto MIYAZAWA, et al.**
Filed : **Concurrently herewith**
For : **A SEMICONDUCTOR INTEGRATED....**
Serial No. : **Concurrently herewith**

July 28, 2003

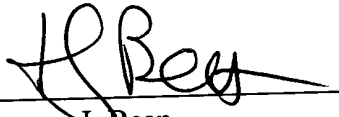
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2002-218748** filed **July 26, 2002**, a copy of which is enclosed.

Respectfully submitted,



Thomas J. Bean
Reg. No. 44,528

Katten Muchin Zavis Rosenman
575 Madison Avenue
New York, NY 10022-2585
(212) 940-8800
Docket No.: NEKU 20.544

日 本 国 特 許 庁
JAPAN PATENT OFFICE

US
872

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月26日

出 願 番 号

Application Number:

特願2002-218748

[ST.10/C]:

[JP 2002-218748]

出 願 人

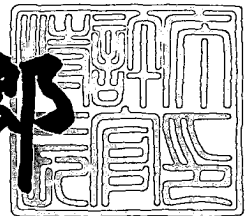
Applicant(s):

エヌイーシーマイクロシステム株式会社
エルピーダメモリ株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034340

【書類名】 特許願

【整理番号】 01211680

【提出日】 平成14年 7月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目4 0 3 番 5 3 エヌ
イーシーマイクロシステム株式会社内

【氏名】 宮澤 誠

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目4 0 3 番 5 3 エヌ
イーシーマイクロシステム株式会社内

【氏名】 泉 憲司

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 エヌイーシーマイクロシステム株式会社

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100102864

【弁理士】

【氏名又は名称】 工藤 実

【選任した代理人】

【識別番号】 100099553

【弁理士】

【氏名又は名称】 大村 雅生

【手数料の表示】

【予納台帳番号】 053213

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9815548

【包括委任状番号】 0114854

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 ボンディングパッドと、

前記ボンディングパッドに接続され、基盤と逆導電型のウエル領域中に形成された、前記基盤と同じ導電型の拡散層領域により形成された端子容量調整用容量素子、とを備え、

前記端子容量調整用容量素子は、前記ボンディングパッドと、入力回路の前段に設けられた保護抵抗との間に配置されている半導体集積回路装置。

【請求項 2】 前記ウエル領域の電位を調整するウエル電位制御回路、を更に備えた請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記ウエル電位制御回路は、

2 つの電位の間に直列に接続された複数の抵抗素子と、

前記複数の抵抗素子の各々に並列に接続された複数のヒューズ、とを備え、

前記複数のヒューズを切断することにより前記ウエル領域の電位を調整する、請求項 2 に記載の半導体集積回路装置。

【請求項 4】 複数のボンディングパッドにそれぞれ接続された複数の端子容量調整用容量素子、を備え、

前記ウエル電位制御回路は、前記複数のボンディングパッドにそれぞれ接続された前記複数の端子容量調整用容量素子のウエル領域の電位を制御する、請求項 2 又は 3 に記載の半導体集積回路装置。

【請求項 5】 前記端子容量調整用容量素子と前記ボンディングパッドとの間に設けられたスイッチから成る端子容量調整部と、

前記端子容量調整部の前記スイッチの切替を制御する切替制御回路、とを更に備えた請求項 1 に記載の半導体集積回路装置。

【請求項 6】 前記切替制御回路は、

切断の有無に応じた電位を発生するヒューズと、

前記ヒューズの切断の有無に応じて発生された電位を保持する信号保持回路、とを備え、

電源投入時に前記ヒューズの切断の有無に応じて発生された電位を前記信号保持回路に保持し、該信号保持回路に保持された電位により前記端子容量調整部の前記スイッチの切替を制御する、請求項 4 に記載の半導体集積回路装置。

【請求項 7】 複数のボンディングパッドにそれぞれ接続された複数の端子容量調整用容量素子、を備え、

前記端子容量調整部及び切替制御回路は、前記複数のボンディングパッドに接続された前記複数の端子容量調整用容量素子のウエル領域の電位を制御する、請求項 5 又は 6 に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特に半導体チップの端子容量を調整する技術に関する。

【0002】

【従来の技術】

近年、半導体集積回路装置の動作周波数が高くなり、それに伴って入出力信号に対するセットアップタイム及びホールドタイムの絶対値やバラツキの許容範囲に対する要求が厳しくなっている。これらの要求を満たすために、近年の半導体集積回路装置では、許容される端子容量の最小値及び最大値が規定されている。また、半導体チップを、複数のタイプの異なるパッケージに封入することも多くなっている。

【0003】

ところで、半導体集積回路装置の外部端子から半導体チップ内のボンディングパッドまでのワイヤの引き回しはパッケージタイプ毎に異なるため、パッケージタイプ毎に端子容量が異なる。例えば、表 1 に示すように、端子容量は、T S O P (Thin small Out-line Package) では 1. 0 0 p F、C S P (Chip Size Package) では 0. 1 4 p F といった具合である。

【表 1】

単位: pF

パッケージタイプ	TSOP	CSP	製品仕様 Max/Min
パッケージ内 端子容量	1. 00	0. 14	3. 50/2. 50

【0 0 0 4】

そこで、近年の半導体集積回路装置では、パッケージタイプが変わっても端子容量に対する要求仕様を満たすための方策が採られている。例えば、図 1 7 (A) 及び図 1 7 (B) に示すように、予め複数種類の端子容量調整用容量素子 1 8 を形成しておき、配線工程において、端子容量調整用容量素子 1 8 の接続を容量素子切替部 2 9 によって変更し、以て端子容量の仕様を満たすように調整している。

【0 0 0 5】

また、プロセス変動により端子容量値が設計段階での予測値と試作後（評価後）の実測値とで微妙にズレる場合があるが、この問題に対しても、上記と同様に、配線工程において端子容量調整用容量素子 1 8 の接続を容量素子切替部 2 9 によって変更し、以て端子容量の仕様を満たすように調整している。

【0 0 0 6】

しかしながら、上述した従来の方法では、端子容量を調整するために配線工程の再設計及びレチクルの再製作が必要になり、開発コストの増大及び開発期間の長大化を招いている。

【0 0 0 7】

特開 2 0 0 0 - 3 1 3 8 6 は、このような問題を解決する半導体装置を開示している。この半導体装置は、図 1 8 に示すように、ボンディングパッド 1 から入力回路 4 と端子容量調整用容量素子 1 8 に接続される配線をそれぞれ分岐させ、入力回路 4 に接続される配線 3 0 a に余分な容量が付加されないようにして入力回路 4 に伝わる信号の遅延を小さくしている。

【0008】

また、特開2000-208707（特許第3043735号）は、端子容量を制御可能にした半導体装置を開示している。この半導体装置は、図19に示すように、端子容量調整用容量素子としてESD素子31を使用し、端子容量値をESD素子31のPウエルの電位を制御することにより調整している。また、ヒューズ32を切断することでPウエルの電位を調整できるので拡散終了後も端子容量の調整ができる。

【0009】

【発明が解決しようとする課題】

しかしながら、特開2000-31386に開示された半導体装置では、端子容量調整用容量素子への配線と入力初段である入力回路への配線とを分離している。そのため、各MOSFETをESD素子から保護する為の保護抵抗が分離の分だけ必要になり、チップサイズの増大になる。また、この半導体装置も端子容量値の調整は上述した従来と同様の方法で行っているため、端子容量を調整するためには、配線工程の再設計及びレチクルの再製作が必要になる。

【0010】

また、特開2000-208707に開示された半導体装置では、ESD素子31のPウエルの電位を抵抗素子33とN型MOSFET34の閾値電圧にて制御するタイプでは、抵抗素子33の製造バラツキとN型MOSFET34の閾値のバラツキが異なるため、希望する電位にズレが生じ、端子容量の補正が希望値からズレてしまうという問題がある。

【0011】

本発明は、上述した問題を解消するためになされたものであり、その目的は、チップサイズを大きくすることなく、端子容量を正確に調整できる半導体集積回路装置を短期間且つ安価に提供することにある。

【0012】

【課題を解決するための手段】

以下に、【発明の実施の形態】で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、【特許請求の範囲】の記載と

〔発明の実施の形態〕の記載との対応関係を明らかにするために付加されたものであるが、〔特許請求の範囲〕に記載されている発明の技術的範囲の解釈に用いてはならない。

【 0 0 1 3 】

本発明に係る半導体集積回路装置は、上記目的を達成するために、ボンディングパッド（１）と、このボンディングパッド（１）に接続され、基盤（１６）と逆導電型のウエル領域（１２）中に形成された、基盤（１６）と同じ導電型の拡散層領域（１１ａ、１１ｂ）により形成された端子容量調整用容量素子（６ａ、６ｂ）とを備え、端子容量調整用容量素子（６ａ、６ｂ）は、ボンディングパッド（１）と、入力回路（４）の前段に設けられた保護抵抗（３）との間に配置されている。

【 0 0 1 4 】

本発明に係る半導体集積回路装置は、ウエル領域（１２）の電位を調整するウエル電位制御回路（１３）、を更に備えて構成できる。この場合、ウエル電位制御回路（１３）は、２つの電位の間に直列に接続された複数の抵抗素子（９ａ、９ｂ、９ｃ）と、これら複数の抵抗素子（９ａ、９ｂ、９ｃ）の各々に並列に接続された複数のヒューズ（８ａ、８ｂ、８ｃ、８ｄ）とを備え、複数のヒューズ（８ａ、８ｂ、８ｃ、８ｄ）を切断することによりウエル領域（１２）の電位を調整するように構成できる。

【 0 0 1 5 】

また、本発明に係る半導体集積回路装置は、複数のボンディングパッド（１ａ、１ｂ、１ｃ、１ｄ）にそれぞれ接続された複数の端子容量調整用容量素子（６ｂａ、６ｂｂ、６ｂｃ、６ｂｄ）を備え、ウエル電位制御回路（１３）は、複数のボンディングパッド（１ａ、１ｂ、１ｃ、１ｄ）にそれぞれ接続された複数の端子容量調整用容量素子（６ｂａ、６ｂｂ、６ｂｃ、６ｂｄ）のウエル領域（１２ｂ）の電位を制御するように構成できる。

【 0 0 1 6 】

また、本発明に係る半導体集積回路装置は、端子容量調整用容量素子（１８ａ、１８ｂ、１８ｃ）とボンディングパッド（１）との間に設けられたスイッチ（

17a、17b、17c) から成る端子容量調整部(24)と、端子容量調整部(24)のスイッチ(17a、17b、17c)の切替を制御する切替制御回路(25)とを更に備えて構成できる。

【0017】

この場合、切替制御回路(25)は、切断の有無に応じた電位を発生するヒューズ(20a、20b、20c)と、これらヒューズ(20a、20b、20c)の切断の有無に応じて発生された電位を保持する信号保持回路(22a、22b、22c)とを備え、電源投入時にヒューズ(20a、20b、20c)の切断の有無に応じて発生された電位を信号保持回路(22a、22b、22c)に保持し、該信号保持回路(22a、22b、22c)に保持された電位により端子容量調整部(24)のスイッチ(17a、17b、17c)の切替を制御するように構成できる。

【0018】

更に、本発明に係る半導体集積回路装置は、複数のボンディングパッド(1a、1b、1c、1d)にそれぞれ接続された複数の端子容量調整用容量素子(6ba、6bb、6bc、6bd)を備え、端子容量調整部(24)及び切替制御回路(25)は、複数のボンディングパッド(1a、1b、1c、1d)に接続された複数の端子容量調整用容量素子(6ba、6bb、6bc、6bd)のウエル領域(12)の電位を制御するように構成できる。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

【0020】

(実施の形態1)

図1は、本発明の実施の形態1に係る半導体集積回路装置の入力部の等価回路の構成を示す回路図である。この入力部は、ボンディングパッド1、ESD保護回路2、保護抵抗3、入力回路4、拡散層11a及びウエル12aから成る第1端子容量調整用容量素子6a、拡散層11b及びウエル12bから成る第2端子容量調整用容量素子6b、負電位発生回路10、並びにウエル電位制御回路13

から構成されている。

【 0 0 2 1 】

ボンディングパッド 1、E S D 保護回路 2、保護抵抗 3 の一端側、第 1 端子容量調整用容量素子 6 a の拡散層 1 1 a 及び第 2 端子容量調整用容量素子 6 b の拡散層 1 1 b は、配線 5 により相互に接続されている。第 1 端子容量調整用容量素子 6 a のウェル 1 2 a は、配線 7 a によって接地されている。第 2 端子容量調整用容量素子 6 b のウェル 1 2 b は、配線 7 b によってウェル電位制御回路 1 3 に接続されており、ウェル電位制御回路 1 3 は負電位発生回路 1 0 に接続されている。また、保護抵抗 3 の他端側は入力回路 4 に接続されている。

【 0 0 2 2 】

ウェル電位制御回路 1 3 は、ヒューズ 8 a、8 b、8 c 及び 8 d、ウェル電位制御用の抵抗素子 9 a、9 b 及び 9 c から構成されている。抵抗素子 9 a の一端は負電位発生回路 1 0 に接続され、他端は抵抗素子 9 b の一端に接続されている。抵抗素子 9 b の他端は抵抗素子 9 c の一端に接続されている。抵抗素子 9 c の他端は接地されている。ヒューズ 8 a は抵抗素子 9 a に並列に接続され、ヒューズ 8 d は抵抗素子 9 b に並列に接続されている。また、シリアルに接続されたヒューズ 8 b とヒューズ 8 c とは、抵抗素子 9 c に並列に接続されている。そして、ヒューズ 8 b とヒューズ 8 c との接続点が、第 2 端子容量調整用容量素子 6 b のウェル 1 2 b に接続されている。

【 0 0 2 3 】

図 2 は第 1 及び第 2 端子容量調整用容量素子 6 a 及び 6 b の平面図であり、図 3 は、図 2 に示した第 1 及び第 2 端子容量調整用容量素子 6 a 及び 6 b を A - A 線に沿って切断した断面図である。

【 0 0 2 4 】

第 1 及び第 2 端子容量調整用容量素子 6 a 及び 6 b は、図 2 及び図 3 に示すように、シリコン (S i) 基盤 1 6 上に形成された、シリコン基盤 1 6 と逆導電型のウェル領域 (以下、単に「ウェル」という) 1 2 (1 2 a、1 2 b) 内に、シリコン基盤 1 6 と同じ導電型の拡散層領域 (以下、単に「拡散層」という) 1 1 a 及び 1 1 b が形成されることにより構成されている。ウェル 1 2 は、拡散層 1

1 b 及びコンタクト 1 4 を介して配線 7 に接続され、拡散層 1 1 a はコンタクト 1 4 を介して配線 5 に接続されている。

【 0 0 2 5 】

なお、第 1 端子容量調整用容量素子 6 a は、各パッケージタイプに共通して要求される端子容量値を有する容量素子であり、第 2 端子容量調整用容量素子 6 b は、各パッケージタイプ間での端子容量値の差を調整するための容量素子である。

【 0 0 2 6 】

次に、上記のように構成される本発明の実施の形態 1 に係る半導体集積回路装置の入力部の動作を説明する。

【 0 0 2 7 】

第 1 端子容量調整用容量素子 6 a を構成するウエル 1 2 a は接地されているので容量値は一定である。第 2 端子容量調整用容量素子 6 b を構成するウエル 1 2 b の電位 (B I A S) は、ウエル電位制御回路 1 3 のヒューズ 8 a、8 b、8 c 及び 8 d が適宜切断されることによって負電位発生回路 1 0 と接地電位との間の抵抗値が制御されることにより調整される。図 4 は、拡散層 1 1 b の容量とウエル 1 2 b の電位 (B I A S) との関係を示す図である。この図 4 から、ウエル 1 2 b の電位に応じて拡散層 1 1 b の容量が変化することが理解できる。従って、ウエル 1 2 b の電位を変化させることにより、第 2 端子容量調整用容量素子 6 b の容量値を調整できるので、半導体集積回路装置の外部端子容量を所望の値に調整できる。

【 0 0 2 8 】

図 5 ～図 7 は、図 1 に示した回路を用いて構成された、本発明の実施の形態 1 に係る半導体集積回路装置の構成を示す図である。

【 0 0 2 9 】

図 5 に示す半導体集積回路装置は、図 1 に示した回路を端子毎に設けることにより、端子毎に端子容量値を調整可能にしたものである。この半導体集積回路装置は、ボンディングパッド 1 a、1 b、1 c 及び 1 d、E S D 保護回路 2 a、2 b、2 c 及び 2 d、調整用容量素子 6 a a、6 a b、6 a c 及び 6 a d、調整用

容量素子 6 b a、6 b b、6 b c 及び 6 b d、保護抵抗 3 a、3 b、3 c 及び 3 d、入力回路 4 a、4 b、4 c 及び 4 d、ウエル電位制御回路 1 3 a、1 3 b、1 3 c 及び 1 3 d、並びに負電位発生回路 1 0 から構成されている。

【 0 0 3 0 】

ボンディングパッド 1 a、E S D 保護回路 2 a、保護抵抗 3 a の一端側、調整用容量素子 6 a a 及び調整用容量素子 6 b a は、配線 5 a により相互に接続されている。保護抵抗 3 a の他端側は入力回路 4 a に接続されている。調整用容量素子 6 b a はウエル電位制御回路 1 3 a に接続されており、ウエル電位制御回路 1 3 a は負電位発生回路 1 0 に接続されている。

【 0 0 3 1 】

同様に、ボンディングパッド 1 b、E S D 保護回路 2 b、保護抵抗 3 b の一端側、調整用容量素子 6 a b 及び調整用容量素子 6 b b は、配線 5 b により相互に接続されている。保護抵抗 3 b の他端側は入力回路 4 b に接続されている。調整用容量素子 6 b b はウエル電位制御回路 1 3 b に接続されており、ウエル電位制御回路 1 3 b は負電位発生回路 1 0 に接続されている。

【 0 0 3 2 】

同様に、ボンディングパッド 1 c、E S D 保護回路 2 c、保護抵抗 3 c の一端側、調整用容量素子 6 a c 及び調整用容量素子 6 b c は、配線 5 c により相互に接続されている。保護抵抗 3 c の他端側は入力回路 4 c に接続されている。調整用容量素子 6 b c はウエル電位制御回路 1 3 c に接続されており、ウエル電位制御回路 1 3 c は負電位発生回路 1 0 に接続されている。

【 0 0 3 3 】

同様に、ボンディングパッド 1 d、E S D 保護回路 2 d、保護抵抗 3 d の一端側、調整用容量素子 6 a d 及び調整用容量素子 6 b d は、配線 5 d により相互に接続されている。保護抵抗 3 d の他端側は入力回路 4 d に接続されている。調整用容量素子 6 b d はウエル電位制御回路 1 3 d に接続されており、ウエル電位制御回路 1 3 d は負電位発生回路 1 0 に接続されている。

【 0 0 3 4 】

以上の構成により、ウエル電位制御回路 1 3 a、1 3 b、1 3 c 及び 1 3 d の

各々に含まれるヒューズを適宜切断することにより、端子毎に端子容量を調整することができる。なお、図5では、4つの端子について端子容量を調整する場合の構成について説明したが、端子の数は4つに限らず任意である。

【0035】

図6に示す半導体集積回路装置は、図1に示した回路のうちウエル電位制御回路以外の回路を端子毎に設け、ウエル電位制御回路を端子グループ毎に設けることにより、端子グループ毎に端子容量値を調整可能にしたものである。この半導体集積回路装置は、第1グループ28aと第2グループ28bとから構成されている。

【0036】

第1グループ28aは、ボンディングパッド1a及び1b、ESD保護回路2a及び2b、調整用容量素子6aa及び6ab、調整用容量素子6ba及び6bb、保護抵抗3a及び3b、入力回路4a及び4b、並びにウエル電位制御回路13aから構成されている。

【0037】

第2グループ28bは、ボンディングパッド1c及び1d、ESD保護回路2c及び2d、調整用容量素子6ac及び6ad、調整用容量素子6bc及び6bd、保護抵抗3c及び3d、入力回路4c及び4d、並びにウエル電位制御回路13bから構成されている。なお、負電位発生回路10は第1グループ28aと第2グループ28bとで共通に使用される。

【0038】

第1グループ28aを構成する、ボンディングパッド1a、ESD保護回路2a、保護抵抗3aの一端側、調整用容量素子6aa及び調整用容量素子6baは、配線5aにより相互に接続されている。保護抵抗3aの他端側は入力回路4aに接続されている。調整用容量素子6baはウエル電位制御回路13aに接続されており、ウエル電位制御回路13aは負電位発生回路10に接続されている。

【0039】

同様に、第1グループ28aを構成する、ボンディングパッド1b、ESD保護回路2b、保護抵抗3bの一端側、調整用容量素子6ab及び調整用容量素子

6 b b は、配線 5 b により相互に接続されている。保護抵抗 3 b の他端側は入力回路 4 b に接続されている。調整用容量素子 6 b b はウエル電位制御回路 1 3 a に接続されている。

【 0 0 4 0 】

第 2 グループ 2 8 b を構成する、ボンディングパッド 1 c、E S D 保護回路 2 c、保護抵抗 3 c の一端側、調整用容量素子 6 a c 及び調整用容量素子 6 b c は、配線 5 c により相互に接続されている。保護抵抗 3 c の他端側は入力回路 4 c に接続されている。調整用容量素子 6 b c はウエル電位制御回路 1 3 b に接続されており、ウエル電位制御回路 1 3 b は負電位発生回路 1 0 に接続されている。

【 0 0 4 1 】

同様に、第 2 グループ 2 8 b を構成する、ボンディングパッド 1 d、E S D 保護回路 2 d、保護抵抗 3 d の一端側、調整用容量素子 6 a d 及び調整用容量素子 6 b d は、配線 5 d により相互に接続されている。保護抵抗 3 d の他端側は入力回路 4 d に接続されている。調整用容量素子 6 b d はウエル電位制御回路 1 3 b に接続されている。

【 0 0 4 2 】

以上の構成により、第 1 グループ 2 8 a のウエル電位制御回路 1 3 a 及び第 2 グループ 2 8 b のウエル電位制御回路 1 3 b の各々に含まれるヒューズを適宜切断することにより、グループ毎に端子容量を調整することができる。これにより、パッケージタイプが異なることによりパッケージタイプに固有の容量値の差が略等しい端子毎にグループ化して容量値を調整することができる。

【 0 0 4 3 】

なお、図 6 に示した半導体集積回路装置は、1 つのグループに 2 つの端子が含まれ、このグループが 2 つから成るものとして説明したが、グループに含まれる端子の数は 2 つに限らず任意であり、また、グループの数も 2 つに限らず任意である。

【 0 0 4 4 】

図 7 に示す半導体集積回路装置は、図 1 に示した回路のうちウエル電位制御回路以外の回路を端子毎に設け、ウエル電位制御回路を 1 つだけ設け、1 つのウェ

ル電位制御回路で全ての端子容量を調整するようにしたものである。

【 0 0 4 5 】

この半導体集積回路装置は、ボンディングパッド 1 a、1 b、1 c 及び 1 d、E S D 保護回路 2 a、2 b、2 c 及び 2 d、調整用容量素子 6 a a、6 a b、6 a c 及び 6 a d、調整用容量素子 6 b a、6 b b、6 b c 及び 6 b d、保護抵抗 3 a、3 b、3 c 及び 3 d、入力回路 4 a、4 b、4 c 及び 4 d、ウエル電位制御回路 1 3、並びに負電位発生回路 1 0 から構成されている。

【 0 0 4 6 】

ボンディングパッド 1 a、E S D 保護回路 2 a、保護抵抗 3 a の一端側、調整用容量素子 6 a a 及び調整用容量素子 6 b a は、配線 5 a により相互に接続されている。保護抵抗 3 a の他端側は入力回路 4 a に接続されている。調整用容量素子 6 b a はウエル電位制御回路 1 3 に接続されており、ウエル電位制御回路 1 3 a は負電位発生回路 1 0 に接続されている。

【 0 0 4 7 】

同様に、ボンディングパッド 1 b、E S D 保護回路 2 b、保護抵抗 3 b の一端側、調整用容量素子 6 a b 及び調整用容量素子 6 b b は、配線 5 b により相互に接続されている。保護抵抗 3 b の他端側は入力回路 4 b に接続されている。調整用容量素子 6 b b はウエル電位制御回路 1 3 に接続されている。

【 0 0 4 8 】

同様に、ボンディングパッド 1 c、E S D 保護回路 2 c、保護抵抗 3 c の一端側、調整用容量素子 6 a c 及び調整用容量素子 6 b c は、配線 5 c により相互に接続されている。保護抵抗 3 c の他端側は入力回路 4 c に接続されている。調整用容量素子 6 b c はウエル電位制御回路 1 3 に接続されている。

【 0 0 4 9 】

同様に、ボンディングパッド 1 d、E S D 保護回路 2 d、保護抵抗 3 d の一端側、調整用容量素子 6 a d 及び調整用容量素子 6 b d は、配線 5 d により相互に接続されている。保護抵抗 3 d の他端側は入力回路 4 d に接続されている。調整用容量素子 6 b d はウエル電位制御回路 1 3 に接続されている。

【 0 0 5 0 】

以上の構成により、各端子の端子容量調整用容量素子として、同一のウェル電位で各パッケージタイプの端子容量値の規格を満足できる容量を用いれば、1つのウェル電位制御回路のヒューズを切断するだけで各パッケージタイプの端子容量値に設定することができる。

【0051】

なお、図7に示した半導体集積回路装置は、4つの端子が含まれるものとして説明したが、端子の数は4つに限らず任意である。

【0052】

(実施の形態2)

図8は、本発明の実施の形態2に係る半導体集積回路装置の入力部の等価回路を示す回路図である。この入力部は、ボンディングパッド1、ESD保護回路2、保護抵抗3、入力回路4、拡散層11a及びウェル12aから成る第1端子容量調整用容量素子6a、端子容量調整部24及び切替制御回路25から構成されている。第1端子容量調整用容量素子6aは、実施の形態1のそれと同じである。

【0053】

ボンディングパッド1、ESD保護回路2、保護抵抗3の一端側及び第1端子容量調整用容量素子6aの拡散層11aは、配線5により相互に接続されている。第1端子容量調整用容量素子6aのウェル12aは、配線7aによって接地されている。保護抵抗3の他端側、入力回路4及び端子容量調整部24は配線26により相互に接続されている。

【0054】

端子容量調整部24は、第1スイッチ17a、第2スイッチ17b、第3スイッチ17c、第21端子容量調整用容量素子18a、第22端子容量調整用容量素子18b、第23端子容量調整用容量素子18c、第1インバータ19a、第2インバータ19b及び第3インバータ19cから構成されている。第1スイッチ17a、第2スイッチ17b及び第3スイッチ17cは、トランスファゲートから構成されている。

【0055】

トランスファゲートは、N型MOSFETとP型MOSFETから成る周知の構造を有する。第1～第3スイッチ17a、17b及び17cの入力端は配線26に接続されており、出力端は第21～第23端子容量調整用容量素子18a、18b及び18cの一端にそれぞれ接続されている。第21～第23端子容量調整用容量素子18a、18b及び18cの他端は接地されている。

【0056】

また、第1スイッチ17aを構成するP型MOSFETのゲートには、切替制御回路25から配線27aを介してイネーブル信号が供給され、N型MOSFETのゲートには、切替制御回路25から配線27a及びインバータ19aを介してイネーブル信号が供給される。同様に、第2スイッチ17bを構成するP型MOSFETのゲートには、切替制御回路25から配線27bを介してイネーブル信号が供給され、N型MOSFETのゲートには、切替制御回路25から配線27b及びインバータ19bを介してイネーブル信号が供給される。同様に、第3スイッチ17cを構成するP型MOSFETのゲートには、切替制御回路25から配線27cを介してイネーブル信号が供給され、N型MOSFETのゲートには、切替制御回路25から配線27c及びインバータ19cを介してイネーブル信号が供給される。

【0057】

切替制御回路25は、ヒューズ20a、20b及び20c、N型MOSFET21a、21b及び21c、並びに信号保持回路22a、22b及び22cから構成されている。

【0058】

N型MOSFET21aのドレインはヒューズ20aを介して電源に接続され、ソースは接地されている。また、N型MOSFET21aのドレインは信号保持回路22aに接続されており、外部からパルス状の信号Cが印加されることによりN型MOSFET21aがオンにされた時の電位を記憶する。この信号保持回路22aに保持された信号がイネーブル信号として配線27aを介して端子容量調整部24に送られる。

【0059】

同様に、N型MOSFET 21bのドレインはヒューズ20bを介して電源に接続され、ソースは接地されている。また、N型MOSFET 21bのドレインは信号保持回路22bに接続されており、外部からパルス状の信号Cが印加されることによりN型MOSFET 21bがオンにされた時の電位を記憶する。この信号保持回路22bに保持された信号がイネーブル信号として配線27bを介して端子容量調整部24に送られる。

【0060】

同様に、N型MOSFET 21cのドレインはヒューズ20cを介して電源に接続され、ソースは接地されている。また、N型MOSFET 21cのドレインは信号保持回路22cに接続されており、外部からパルス状の信号Cが印加されることによりN型MOSFET 21cがオンにされた時の電位を記憶する。この信号保持回路22cに保持された信号がイネーブル信号として配線27cを介して端子容量調整部24に送られる。

【0061】

なお、第1端子容量調整用容量素子6aは、上述した実施の形態1のそれと同様に、各パッケージタイプに共通して要求される端子容量値を有する容量素子である。端子容量調整部24は、各パッケージタイプ間での端子容量値の差を調整するための容量素子を含む。

【0062】

次に、上記のように構成される本半導体の実施の形態2に係る半導体集積回路装置の入力部の動作を説明する。

【0063】

第1端子容量調整用容量素子6aは、実施の形態1に係る半導体集積回路装置のそれと同様に固定された容量値である。端子容量調整部24の容量は、半導体集積回路装置の電源投入時に、配線23に図9に示すようなパルス状の信号Cが印加されることにより配線27a、27b及び27cの各信号レベルが決定され、信号保持回路22a、22b及び22cにそれぞれ保持される。

【0064】

端子容量調整部24の第1～第3スイッチ17a、17b及び17cは、配線

27a、27b及び27cの信号レベルによりオン／オフが決定され、これにより端子容量調整部24の端子容量値が決定される。配線27a、27b及び27cの信号レベルは、ヒューズ20a、20b及び20cを切断するかどうかによって決定される。配線27a、27b及び27cの各信号レベルは、ヒューズが切断されている場合は低レベル（Lレベル）、切断されていない場合は高レベル（Hレベル）になる。図9は、ヒューズ20a及び20cが切断されておらず、ヒューズ20bが切断されている場合の例を示している。

【0065】

表2は、第21端子容量調整用容量素子18aが1pF、第22端子容量調整用容量素子18bが2pF、第23端子容量調整用容量素子18cが3pFとした場合のヒューズ20a、20b及び20cのカットの有無によって生成可能な端子容量合計値を示す。なお、初期状態で端子容量調整用容量素子18a、18b及び18cをどのように接続するかは設計段階で決定することができる。

【表2】

	1	2	3	4	5	6	7	8
ヒューズ20a	○	×	×	○	○	○	×	×
ヒューズ20b	○	○	×	○	×	×	○	×
ヒューズ20c	○	○	○	×	×	○	×	×
端子容量合計	3pF	2pF	0pF	6pF	4pF	1pF	5pF	3pF

端子容量調整用容量素子18a=1pF, 18b=2pF, 18c=3pFの場合
○:ヒューズカット無し ×:ヒューズカット有り

【0066】

図10～図12は、図8に示した回路を用いて構成された、本発明の実施の形

態 2 に係る半導体集積回路装置の構成を示す図である。

【 0 0 6 7 】

図 1 0 に示す半導体集積回路装置は、図 8 に示した入力部の回路を端子毎に設けることにより、端子毎に端子容量値を調整可能にしたものである。この半導体集積回路装置は、ボンディングパッド 1 a、1 b、1 c 及び 1 d、E S D 保護回路 2 a、2 b、2 c 及び 2 d、調整用容量素子 6 a a、6 a b、6 a c 及び 6 a d、保護抵抗 3 a、3 b、3 c 及び 3 d、入力回路 4 a、4 b、4 c 及び 4 d、端子容量調整部 2 4 a、2 4 b、2 4 c 及び 2 4 d 並びに切替制御回路 2 5 a、2 5 b、2 5 c 及び 2 5 d から構成されている。

【 0 0 6 8 】

ボンディングパッド 1 a、E S D 保護回路 2 a、保護抵抗 3 a の一端側、調整用容量素子 6 a a は、配線 5 a により相互に接続されている。保護抵抗 3 a の他端側、端子容量調整部 2 4 a 及び入力回路 4 a は、配線 2 6 a により相互に接続されている。

【 0 0 6 9 】

同様に、ボンディングパッド 1 b、E S D 保護回路 2 b、保護抵抗 3 b の一端側、調整用容量素子 6 a b は、配線 5 b により相互に接続されている。保護抵抗 3 b の他端側、端子容量調整部 2 4 b 及び入力回路 4 b は、配線 2 6 b により相互に接続されている。

【 0 0 7 0 】

同様に、ボンディングパッド 1 c、E S D 保護回路 2 c、保護抵抗 3 c の一端側、調整用容量素子 6 a c は、配線 5 c により相互に接続されている。保護抵抗 3 c の他端側、端子容量調整部 2 4 c 及び入力回路 4 c は、配線 2 6 c により相互に接続されている。

【 0 0 7 1 】

同様に、ボンディングパッド 1 d、E S D 保護回路 2 d、保護抵抗 3 d の一端側、調整用容量素子 6 a d は、配線 5 d により相互に接続されている。保護抵抗 3 d の他端側、端子容量調整部 2 4 d 及び入力回路 4 d は、配線 2 6 d により相互に接続されている。

【 0 0 7 2 】

以上の構成により、切替制御回路 2 5 a、2 5 b、2 5 c 及び 2 5 d の各々に含まれるヒューズを適宜切断することにより、端子毎に端子容量を調整することができる。なお、図 1 0 では、4 つの端子について端子容量を調整する場合の構成について説明したが、端子の数は 4 つに限らず任意である。

【 0 0 7 3 】

図 1 1 に示す半導体集積回路装置は、図 8 に示した入力部の回路のうち切替制御回路以外の回路を端子毎に設け、切替制御回路を端子のグループ毎に設けることにより、端子のグループ毎に端子容量値を調整可能にしたものである。この半導体集積回路装置は、第 1 グループ 2 8 a と第 2 グループ 2 8 b とから構成されている。

【 0 0 7 4 】

第 1 グループ 2 8 a は、ボンディングパッド 1 a 及び 1 b、E S D 保護回路 2 a 及び 2 b、調整用容量素子 6 a a 及び 6 a b、保護抵抗 3 a 及び 3 b、端子容量調整部 2 4 a 及び 2 4 b、並びに切替制御回路 2 5 a から構成されている。

【 0 0 7 5 】

第 2 グループ 2 8 b は、ボンディングパッド 1 c 及び 1 d、E S D 保護回路 2 c 及び 2 d、調整用容量素子 6 a c 及び 6 a d、保護抵抗 3 c 及び 3 d、端子容量調整部 2 4 a 及び 2 4 b、並びに切替制御回路 2 5 b から構成されている。

【 0 0 7 6 】

第 1 グループ 2 8 a を構成する、ボンディングパッド 1 a、E S D 保護回路 2 a、保護抵抗 3 a の一端側及び調整用容量素子 6 a a は、配線 5 a により相互に接続されている。保護抵抗 3 a の他端側、端子容量調整部 2 4 a 及び入力回路 4 a は、配線 2 6 a により相互に接続されている。

【 0 0 7 7 】

同様に、第 1 グループ 2 8 a を構成する、ボンディングパッド 1 b、E S D 保護回路 2 b、保護抵抗 3 b の一端側及び調整用容量素子 6 a b は、配線 5 b により相互に接続されている。保護抵抗 3 b の他端側、端子容量調整部 2 4 b 及び入力回路 4 b は、配線 2 6 b により相互に接続されている。

【 0 0 7 8 】

第 2 グループ 2 8 b を構成する、ボンディングパッド 1 c、E S D 保護回路 2 c、保護抵抗 3 c の一端側及び調整用容量素子 6 a c は、配線 5 c により相互に接続されている。保護抵抗 3 c の他端側、端子容量調整部 2 4 c 及び入力回路 4 c は、配線 2 6 c により相互に接続されている。

【 0 0 7 9 】

同様に、第 2 グループ 2 8 b を構成する、ボンディングパッド 1 d、E S D 保護回路 2 d、保護抵抗 3 d の一端側及び調整用容量素子 6 a d は、配線 5 d により相互に接続されている。保護抵抗 3 d の他端側、端子容量調整部 2 4 d 及び入力回路 4 d は、配線 2 6 d により相互に接続されている。

【 0 0 8 0 】

以上の構成により、第 1 グループ 2 8 a の切替制御回路 2 5 a 及び第 2 グループ 2 8 b の切替制御回路 2 5 b の各々に含まれるヒューズを適宜切断することにより、グループ毎に端子容量を調整することができる。これにより、パッケージタイプが異なることによりパッケージタイプに固有の容量値の差が略等しい端子毎にグループ化して容量値を調整することができる。

【 0 0 8 1 】

なお、図 1 1 に示した半導体集積回路装置は、1 つのグループに 2 つの端子が含まれ、このグループが 2 つから成るものとして説明したが、グループに含まれる端子の数は 2 つに限らず任意であり、また、グループの数も 2 つに限らず任意である。

【 0 0 8 2 】

図 1 2 に示す半導体集積回路装置は、図 8 に示した入力部の回路のうち切替制御回路以外の回路を端子毎に設け、切替制御回路を 1 つだけ設けることにより、1 つの切替制御回路で全ての端子容量を調整するようにしたものである。

【 0 0 8 3 】

この半導体集積回路装置は、ボンディングパッド 1 a、1 b、1 c 及び 1 d、E S D 保護回路 2 a、2 b、2 c 及び 2 d、調整用容量素子 6 a a、6 a b、6 a c 及び 6 a d、保護抵抗 3 a、3 b、3 c 及び 3 d、入力回路 4 a、4 b、4

c 及び 4 d、端子容量調整部 2 4 a、2 4 b、2 4 c 及び 2 4 d、並びに切替制御回路 2 5 から構成されている。

【 0 0 8 4 】

ボンディングパッド 1 a、E S D 保護回路 2 a、保護抵抗 3 a の一端側及び調整用容量素子 6 a a は、配線 5 a により相互に接続されている。保護抵抗 3 a の他端側、端子容量調整部 2 4 a 及び入力回路 4 a は、配線 2 6 a により相互に接続されている。

【 0 0 8 5 】

同様に、ボンディングパッド 1 b、E S D 保護回路 2 b、保護抵抗 3 b の一端側及び調整用容量素子 6 a b は、配線 5 b により相互に接続されている。保護抵抗 3 b の他端側、端子容量調整部 2 4 b 及び入力回路 4 b は、配線 2 6 b により相互に接続されている。

【 0 0 8 6 】

同様に、ボンディングパッド 1 c、E S D 保護回路 2 c、保護抵抗 3 c の一端側及び調整用容量素子 6 a c は、配線 5 c により相互に接続されている。保護抵抗 3 c の他端側、端子容量調整部 2 4 c 及び入力回路 4 c は、配線 2 6 c により相互に接続されている。

【 0 0 8 7 】

同様に、ボンディングパッド 1 d、E S D 保護回路 2 d、保護抵抗 3 d の一端側及び調整用容量素子 6 a d は、配線 5 d により相互に接続されている。保護抵抗 3 d の他端側、端子容量調整部 2 4 d 及び入力回路 4 d は、配線 2 6 d により相互に接続されている。そして、切替制御回路 2 5 は、端子容量調整部 2 4 a、2 4 b、2 4 c 及び 2 4 d に接続されている。

【 0 0 8 8 】

以上の構成により、各端子の端子容量調整部 2 4 a、2 4 b、2 4 c 及び 2 4 d に各パッケージタイプの端子容量値の規格を満足できる容量を用いれば、切替制御回路 2 5 のヒューズを切断するだけで各パッケージの端子容量値に設定することができる。

【 0 0 8 9 】

なお、図 1 2 に示した半導体集積回路装置は、4 つの端子が含まれるものとして説明したが、端子の数は 4 つに限らず任意である。

【 0 0 9 0 】

(実施の形態 3)

次に、本発明の実施の形態 3 に係る半導体集積回路装置は、実施の形態 2 に係る半導体集積回路装置の端子容量調整部 2 4 を変更したものである。

【 0 0 9 1 】

即ち、本発明の実施の形態 3 に係る半導体集積回路装置の端子容量調整部 2 4 は、図 1 3 に示すように、実施の形態 2 における第 1 スイッチ 1 7 a、第 2 スイッチ 1 7 b 及び第 3 スイッチ 1 7 c として、N 型 MOSFET 1 7 a、N 型 MOSFET 1 7 b 及び N 型 MOSFET 1 7 c がそれぞれ使用されている。

【 0 0 9 2 】

この構成により、配線 2 7 a、2 7 b 及び 2 7 c を介して送られてくる信号に応じて N 型 MOSFET 1 7 a、1 7 b 及び 1 7 c がオン／オフすることにより、上述した実施の形態 2 と同様に動作する。従って、上述した実施の形態 2 と同様の作用及び効果を奏する。

【 0 0 9 3 】

(実施の形態 4)

次に、本発明の実施の形態 4 に係る半導体集積回路装置は、実施の形態 2 に係る半導体集積回路装置の端子容量調整部 2 4 を変更したものである。

【 0 0 9 4 】

即ち、本発明の実施の形態 4 に係る半導体集積回路装置の端子容量調整部 2 4 は、図 1 4 に示すように、実施の形態 2 における第 1 スイッチ 1 7 a、第 2 スイッチ 1 7 b 及び第 3 スイッチ 1 7 c として、P 型 MOSFET 1 7 a、P 型 MOSFET 1 7 b 及び PN 型 MOSFET 1 7 c がそれぞれ使用されている。そして、P 型 MOSFET 1 7 a、1 7 b、1 7 c 及び 1 7 c の各ベースに供給する信号を反転するために、インバータ 1 9 a、1 9 b 及び 1 9 c がそれぞれ設けられている。

【 0 0 9 5 】

この構成により、配線 2 7 a、2 7 b 及び 2 7 c を介して送られてくる信号に応じて P 型 MOSFET 1 7 a、1 7 b 及び 1 7 c がオン／オフすることにより、上述した実施の形態 2 と同様に動作する。従って、上述した実施の形態 2 と同様の作用及び効果を奏する。

【 0 0 9 6 】

(実施の形態 5)

次に、本発明の実施の形態 5 に係る半導体集積回路装置は、実施の形態 2 に係る半導体集積回路装置の切替制御回路 2 5 を変更したものである。

【 0 0 9 7 】

即ち、本発明の実施の形態 5 に係る半導体集積回路装置の切替制御回路 2 5' は、図 1 5 に示すように、実施の形態 2 における N 型 MOSFET 2 1 a、N 型 MOSFET 2 1 b 及び N 型 MOSFET 2 1 c の代わりに、P 型 MOSFET 2 1 a'、P 型 MOSFET 2 1 b' 及び PN 型 MOSFET 2 1 c' がそれぞれ使用されている。そして、P 型 MOSFET 2 1 a'、2 1 b' 及び 2 1 c' の各ベースには、実施の形態 2 におけるパルス状の信号 C とは位相が反転したパルス状の信号 C' が供給される。

【 0 0 9 8 】

この構成により、ヒューズ 2 0 a、2 0 b 及び 2 0 c の切断の有無に応じて P 型 MOSFET 2 1 a'、2 1 b' 及び 2 1 c' がオン／オフすることにより、上述した実施の形態 2 と同様に動作する。従って、上述した実施の形態 2 と同様の作用及び効果を奏する。

【 0 0 9 9 】

以上説明したように、本発明の実施の形態 1 ～ 5 に係る半導体集積回路装置によれば、端子容量調整用容量素子をウエル内の拡散層で構成することにより、保護抵抗の前に容量素子を配置する事が可能になり、入力信号の遅延を少なくでき、特性を改善することができる。これは半導体集積回路装置の高周波での動作が要求される現状では非常に重要である。従来の保護抵抗と容量素子による遅延時間 (τ): $500\ \Omega \times 2\ \text{pF} = 1\ \text{ns}$ である。

【 0 1 0 0 】

また、ウエルの電位を制御するための制御回路を設ける事により、端子容量値の調整が拡散工程終了後も可能になり、修正設計及びレチクルの再製作の必要がなくなる。

【0101】

また、端子容量調整用容量素子を切替えるため、端子容量調整部とこの端子容量調整部に含まれるスイッチを制御するための切替制御回路を設けることにより、端子容量値の調整が拡散工程終了後も可能になり、修正設計及びレチクルの再製作の必要がなくなる。

【0102】

更に、拡散終了後に端子容量値の調整が可能のため、同一半導体チップで複数のパッケージタイプに対応ができる。図16は、従来の技術を用いた場合の端子容量と本発明に係る技術を用いた場合の端子容量とを比較して示す図である。従来の技術を用いた場合は、調整後の端子容量はパッケージタイプとは無関係に一律に大きくなるので端子容量規格を外れるケースが発生する。これに対し、本発明に係る技術を用いた場合は、端子容量値を任意の容量値に調整できるので、端子容量を端子容量規格内に納めることができる。

【0103】

【発明の効果】

以上詳細に説明したように、本発明によれば、チップサイズを大きくすることなく、端子容量を正確に調整できる半導体集積回路装置を短期間且つ安価に提供することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1に係る半導体集積回路装置の入力部の等価回路の構成を示す回路図である。

【図2】

本発明の実施の形態1に係る半導体集積回路装置で使用される端子容量調整用容量素子の平面図である。

【図3】

本発明の実施の形態 1 に係る半導体集積回路装置で使用される端子容量調整用容量素子の断面図である。

【図 4】

本発明の実施の形態 1 に係る半導体集積回路装置で使用される端子容量調整用容量素子に形成される拡散層の容量とウエルの電位（BIAS）との関係を示す図である。

【図 5】

本発明の実施の形態 1 に係る半導体集積回路装置の構成の一例を示す図である。

【図 6】

本発明の実施の形態 1 に係る半導体集積回路装置の構成の他の例を示す図である。

【図 7】

本発明の実施の形態 1 に係る半導体集積回路装置の構成の更に他の例を示す図である。

【図 8】

本発明の実施の形態 2 に係る半導体集積回路装置の入力部の等価回路の構成を示す回路図である。

【図 9】

本発明の実施の形態 2 に係る半導体集積回路装置の動作を説明するためのタイミングチャートである。

【図 10】

本発明の実施の形態 2 に係る半導体集積回路装置の構成の一例を示す図である。

【図 11】

本発明の実施の形態 2 に係る半導体集積回路装置の構成の他の例を示す図である。

【図 12】

本発明の実施の形態 2 に係る半導体集積回路装置の構成の更に他の例を示す図

である。

【図 1 3】

本発明の実施の形態 3 に係る半導体集積回路装置の入力部の等価回路の構成を示す図である。

【図 1 4】

本発明の実施の形態 4 に係る半導体集積回路装置の入力部の等価回路の構成を示す図である。

【図 1 5】

本発明の実施の形態 5 に係る半導体集積回路装置の入力部の等価回路の構成を示す図である。

【図 1 6】

従来技術を用いた場合の端子容量と本発明に係る技術を用いた場合の端子容量とを比較して示す図である。

【図 1 7】

従来技術の半導体集積回路装置における端子容量を調整するための回路を説明するための図である。

【図 1 8】

従来技術の半導体集積回路装置における端子容量を調整するための他の回路を説明するための図である。

【図 1 9】

従来技術の半導体集積回路装置における端子容量を調整するための更に他の回路を説明するための図である。

【符号の説明】

- 1、1 a、1 b、1 c、1 d ボンディングパッド
- 2、2 a、2 b、2 c、2 d E S D 保護回路
- 3、3 a、3 b、3 c、3 d 保護抵抗
- 4、4 a、4 b、4 c、4 d 入力回路
- 5、5 a ~ 5 d、7 a、7 b、2 3、2 6、2 7 a ~ 2 7 c 配線
- 6 a 第 1 端子容量調整用容量素子

6 b 第 2 端子容量調整用容量素子

8 a、8 b、8 c、8 d ヒューズ

9 a、9 b、9 c、9 d 抵抗素子

1 0 負電位発生回路

1 1 a、1 1 b 拡散層

1 2 a、1 2 b ウエル

1 3 ウエル電位制御回路

1 4 コンタクト

1 6 S i 基盤

1 7 a、1 7 b、1 7 c スイッチ

1 8 a、1 8 b、1 8 c 端子容量調整用容量素子

1 9 a、1 9 b、1 9 c インバータ

2 0 a、2 0 b、2 0 c ヒューズ

2 1 a、2 1 b、2 1 c N型MOSFET

2 2 a、2 2 b、2 2 c 信号保持回路

2 4 端子容量調整部

2 5 切替制御回路

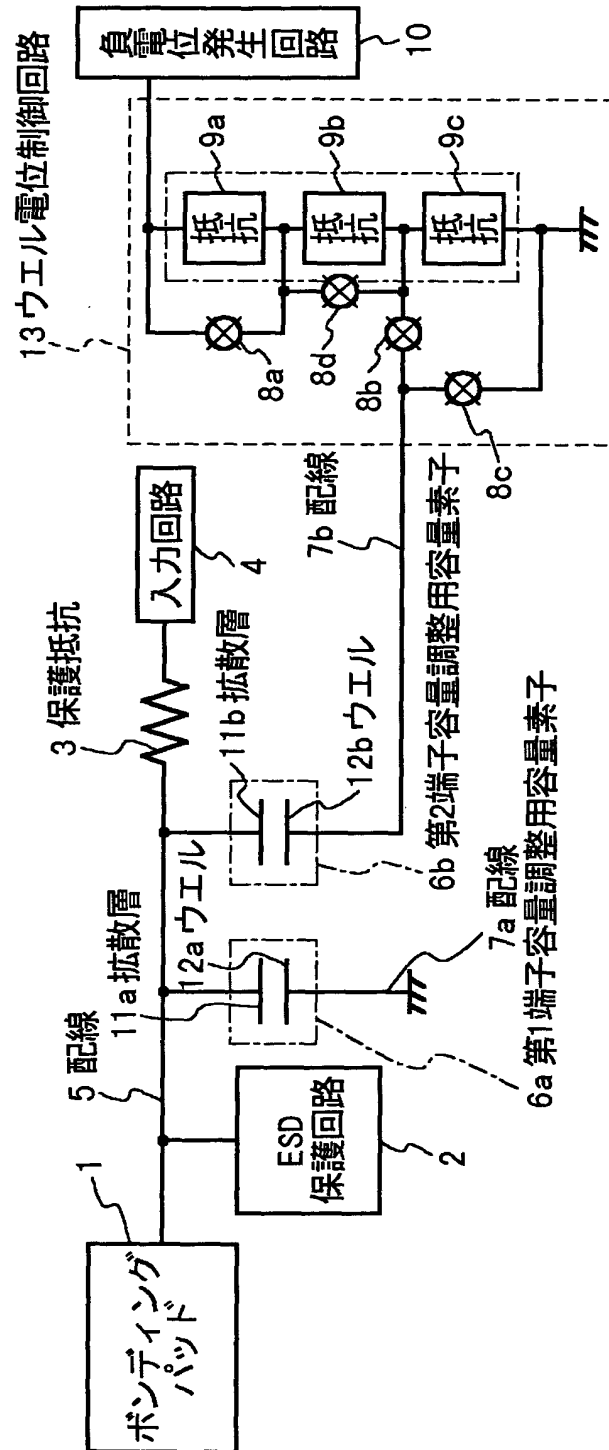
2 8 a 第 1 グループ

2 8 b 第 2 グループ

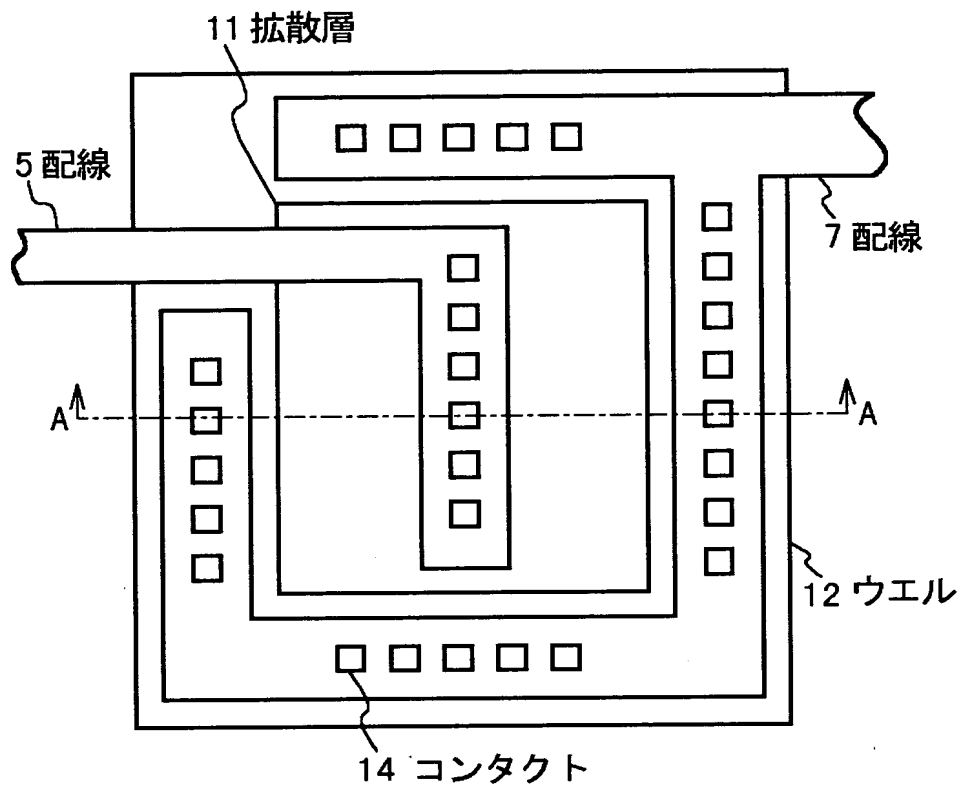
特 2 0 0 2 - 2 1 8 7 4 8

【書類名】 図面

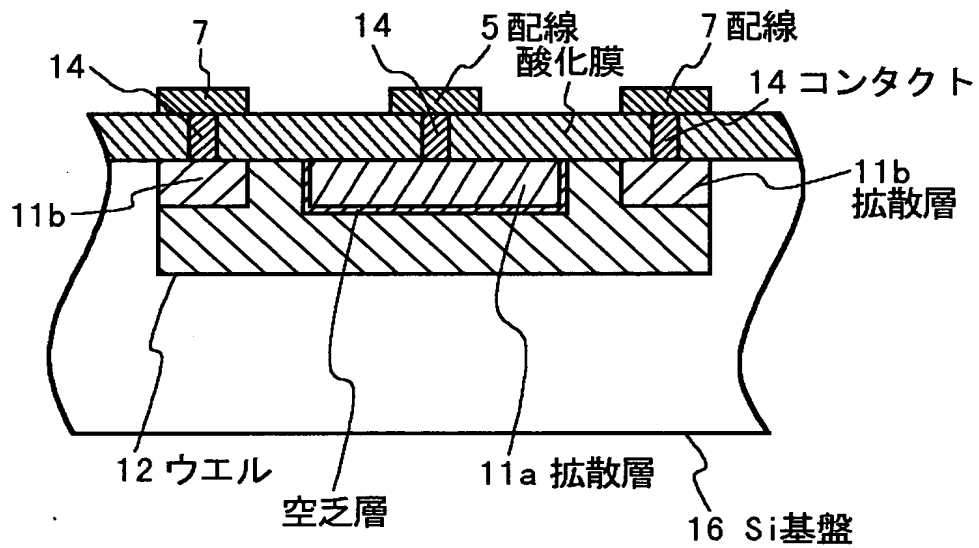
【図 1】



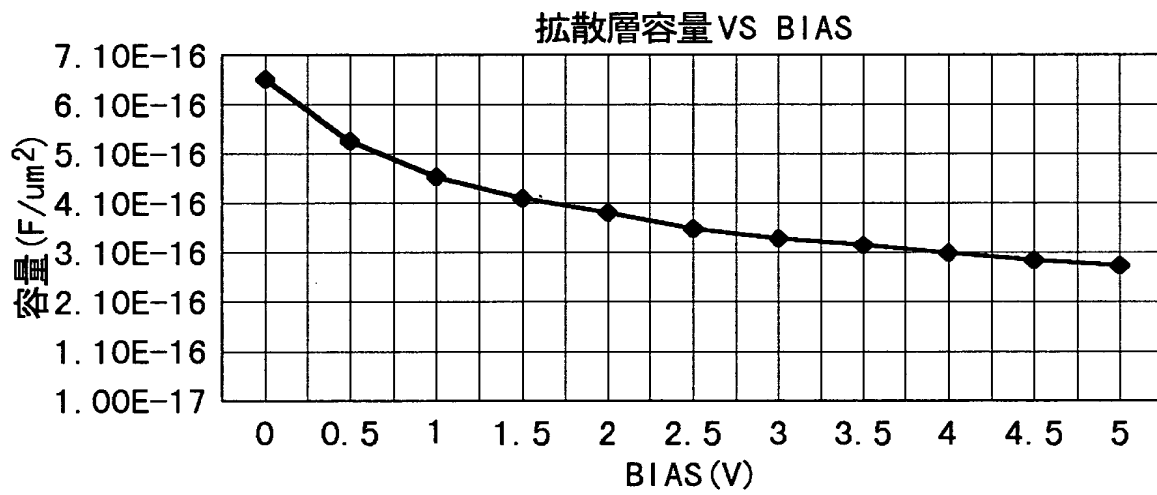
【図 2】



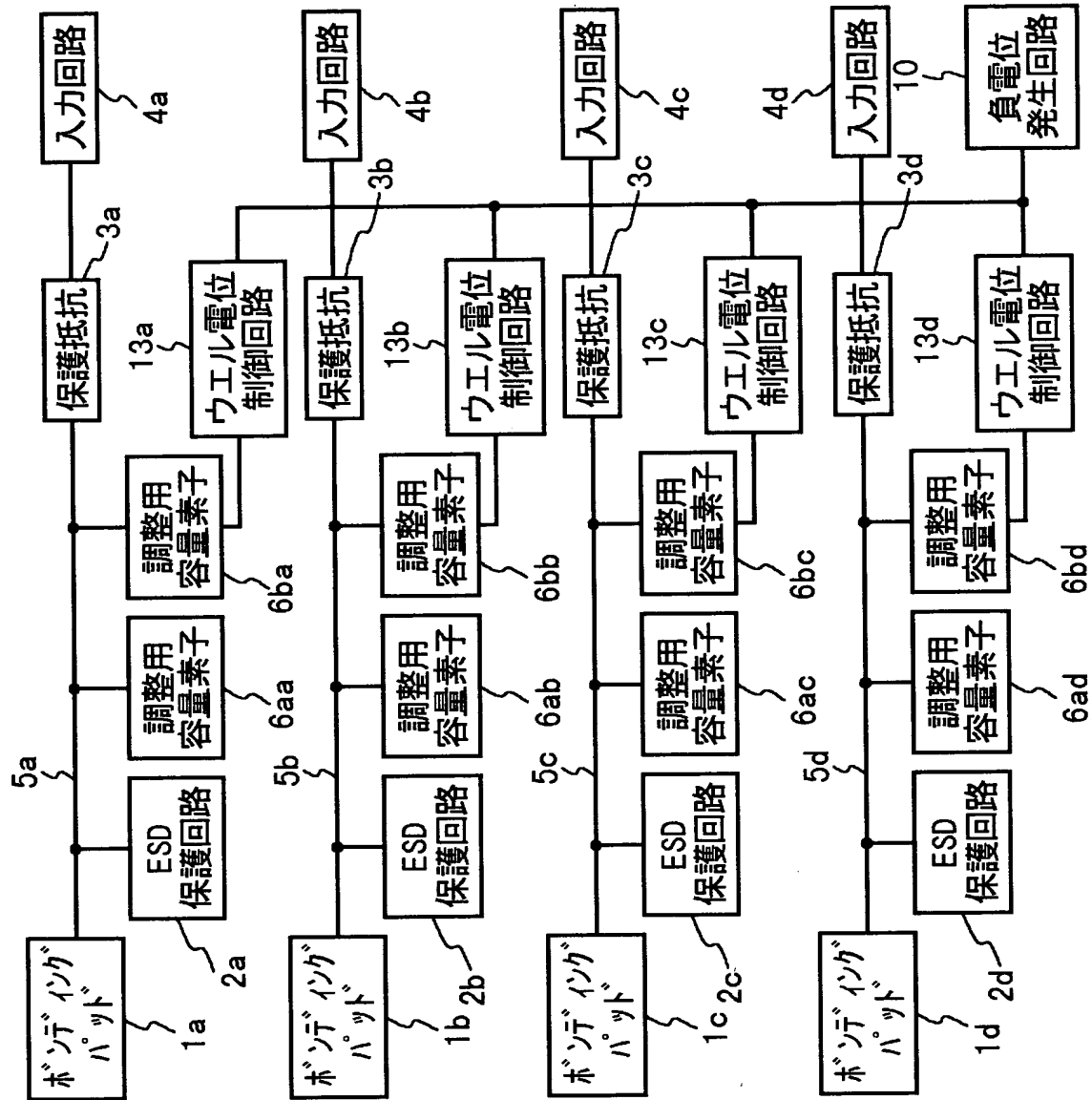
【図 3】



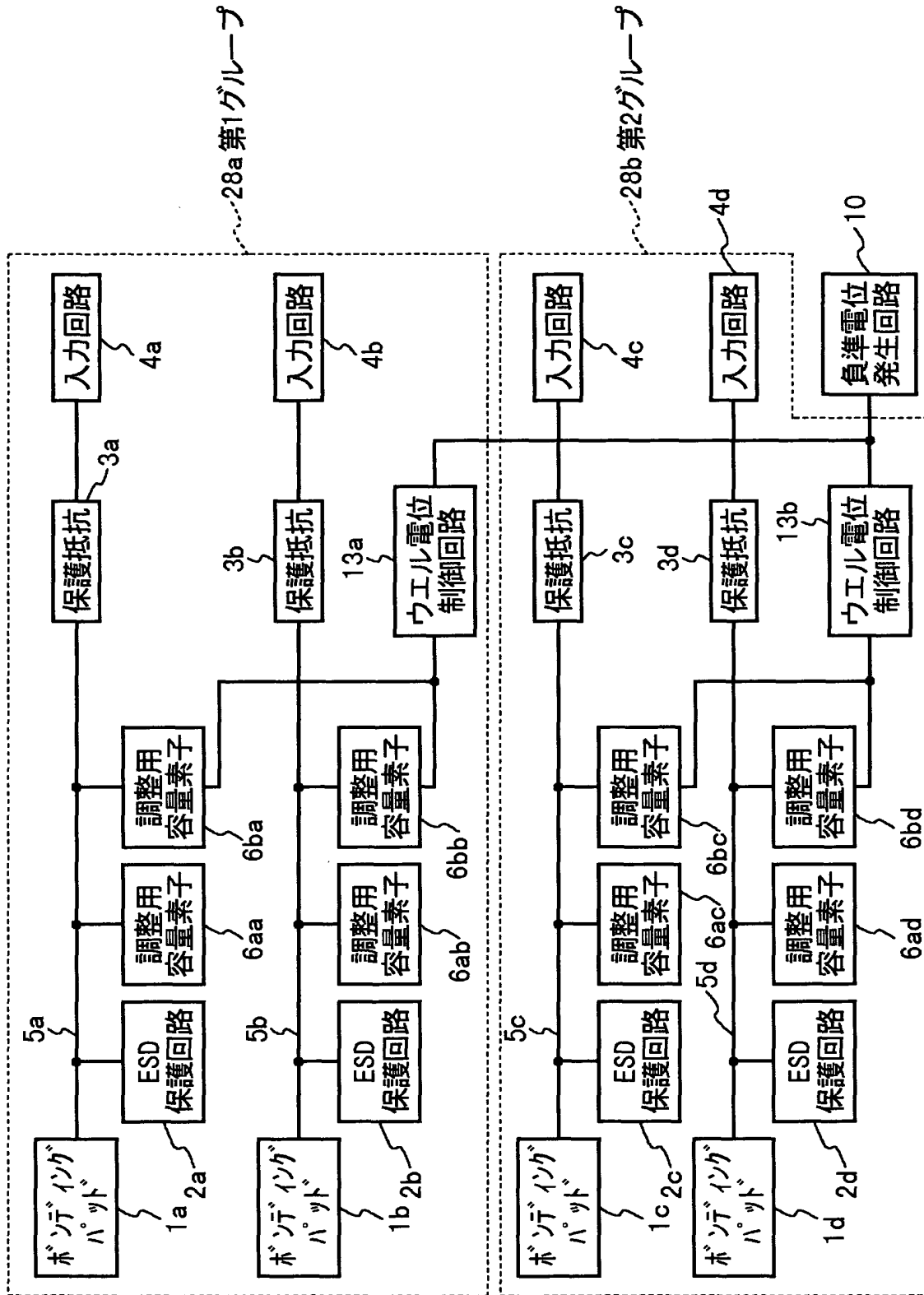
【図 4】



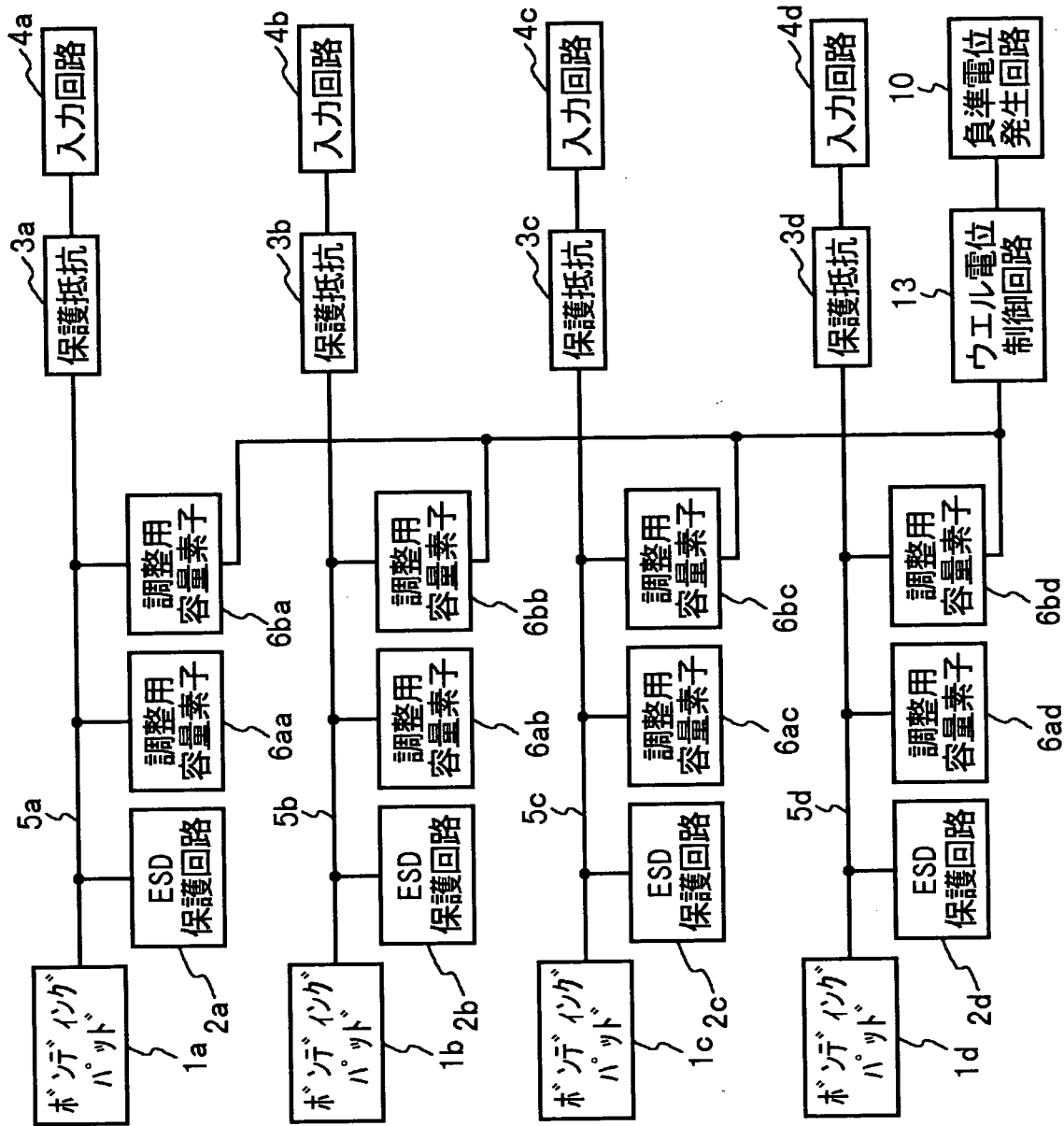
【図5】



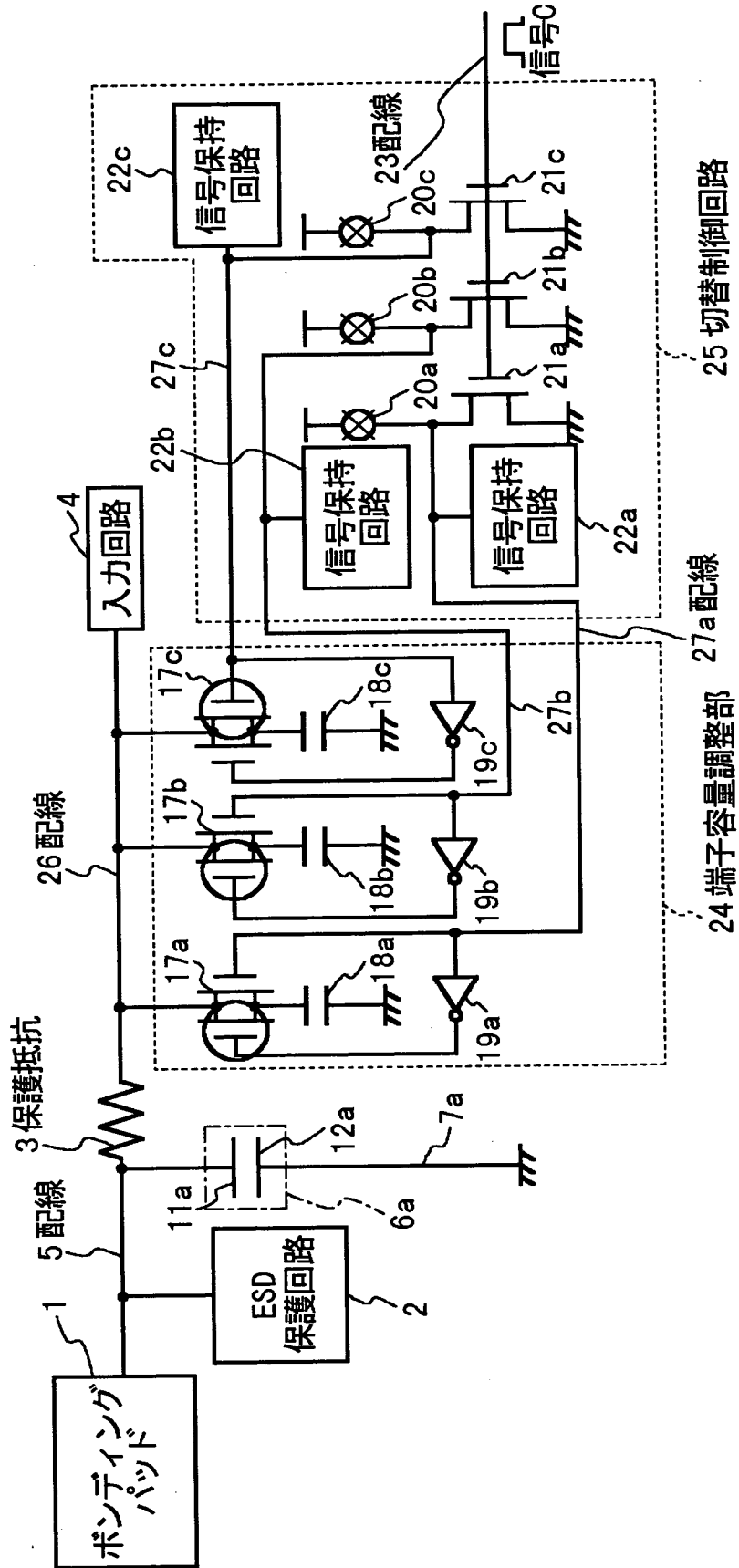
【図6】



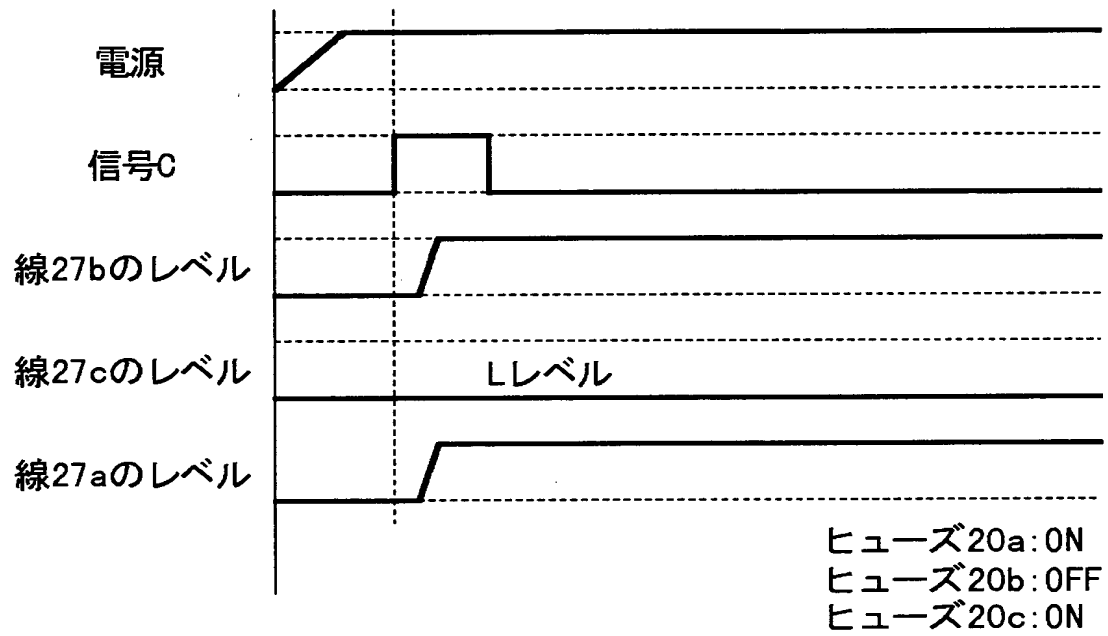
【図 7】



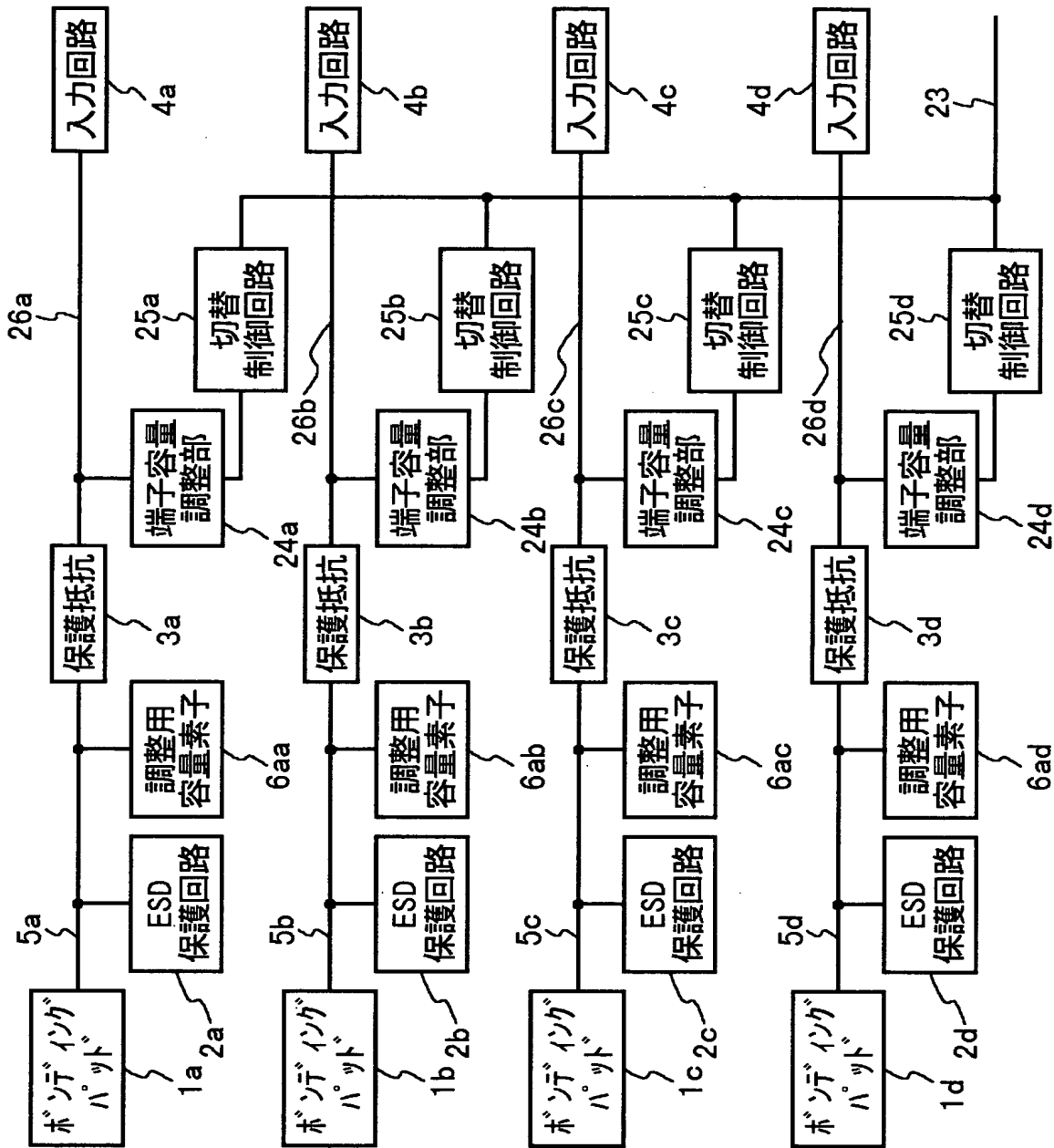
【図 8】



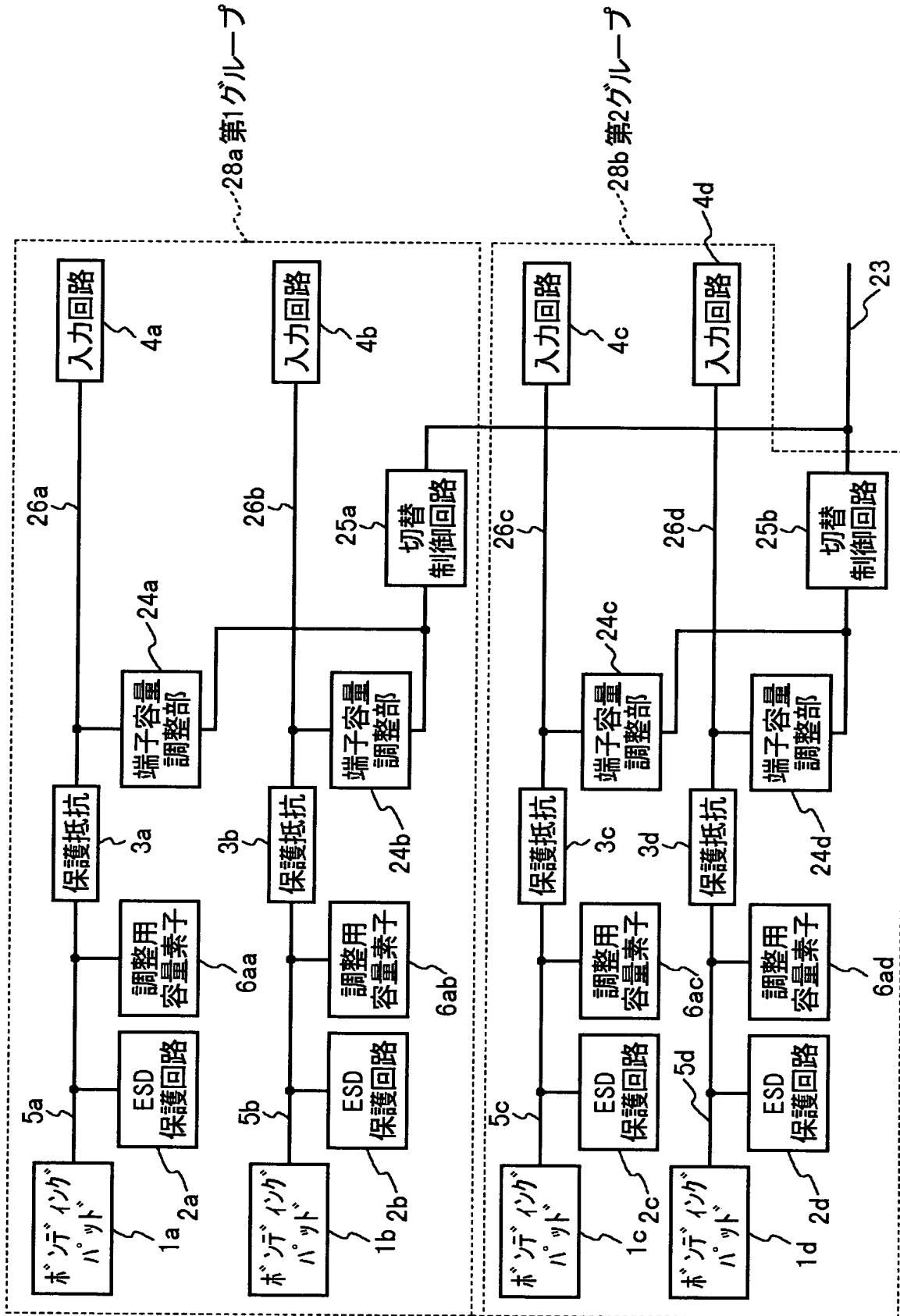
【図 9】



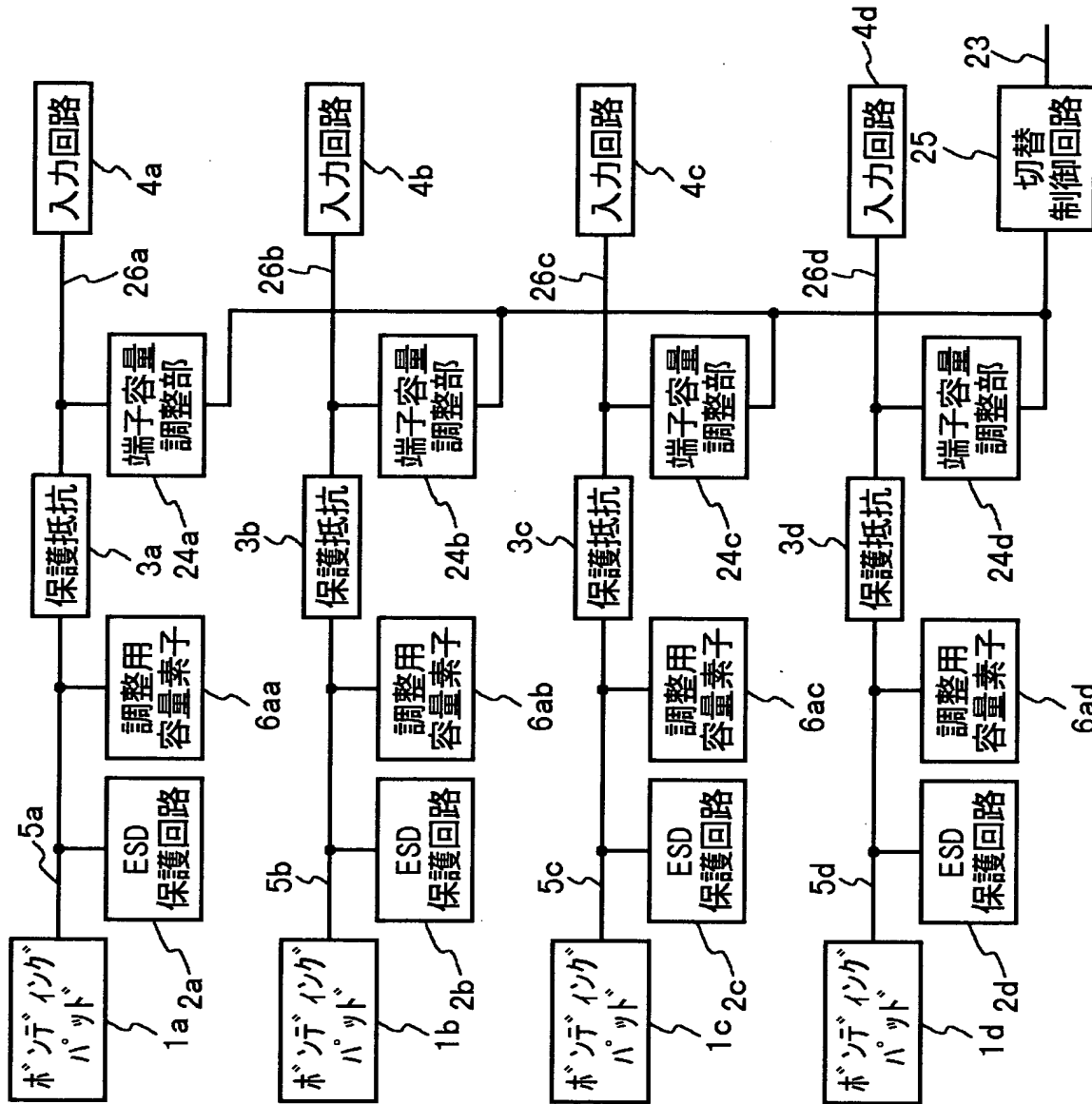
【図10】



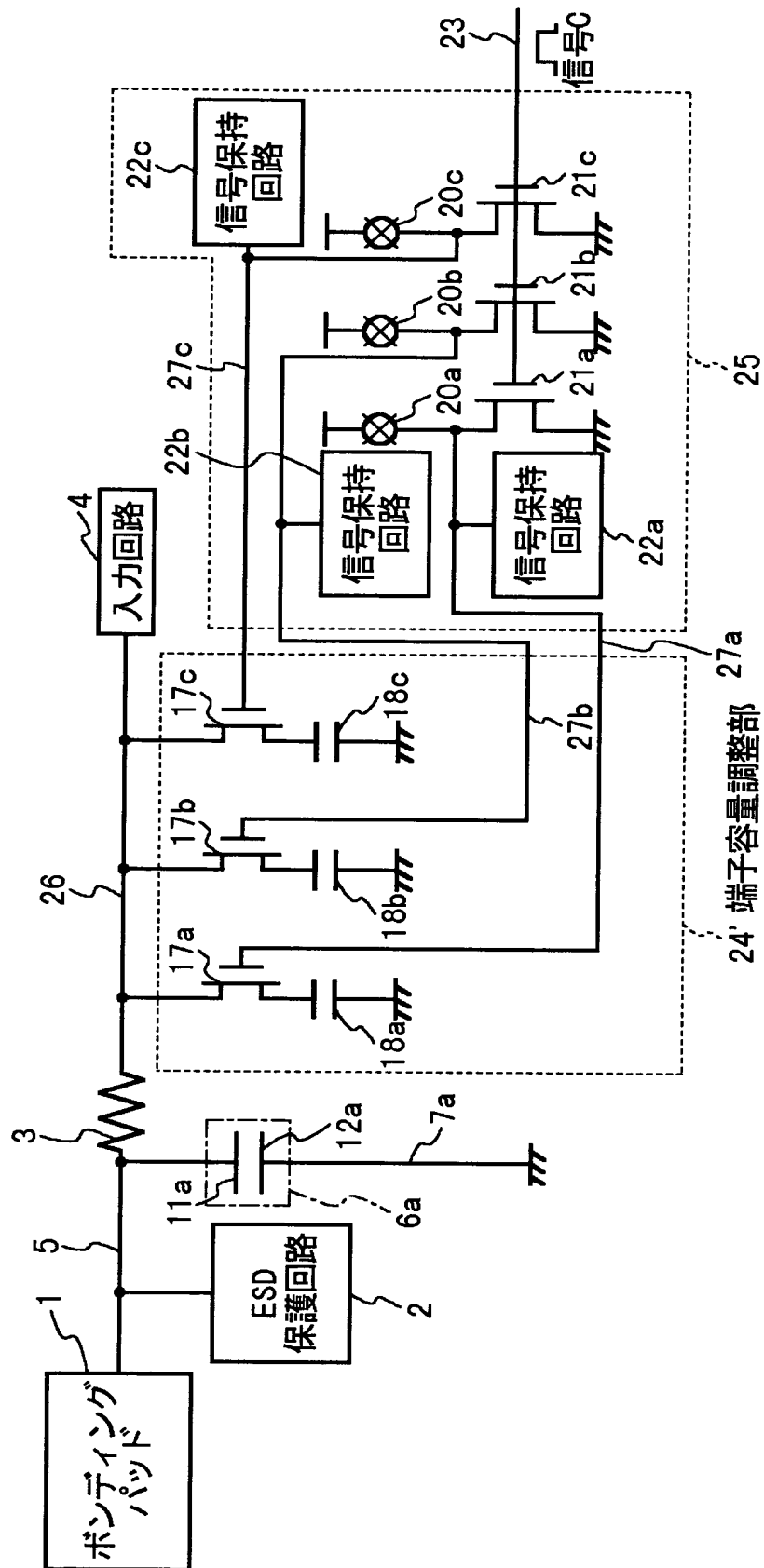
【図11】



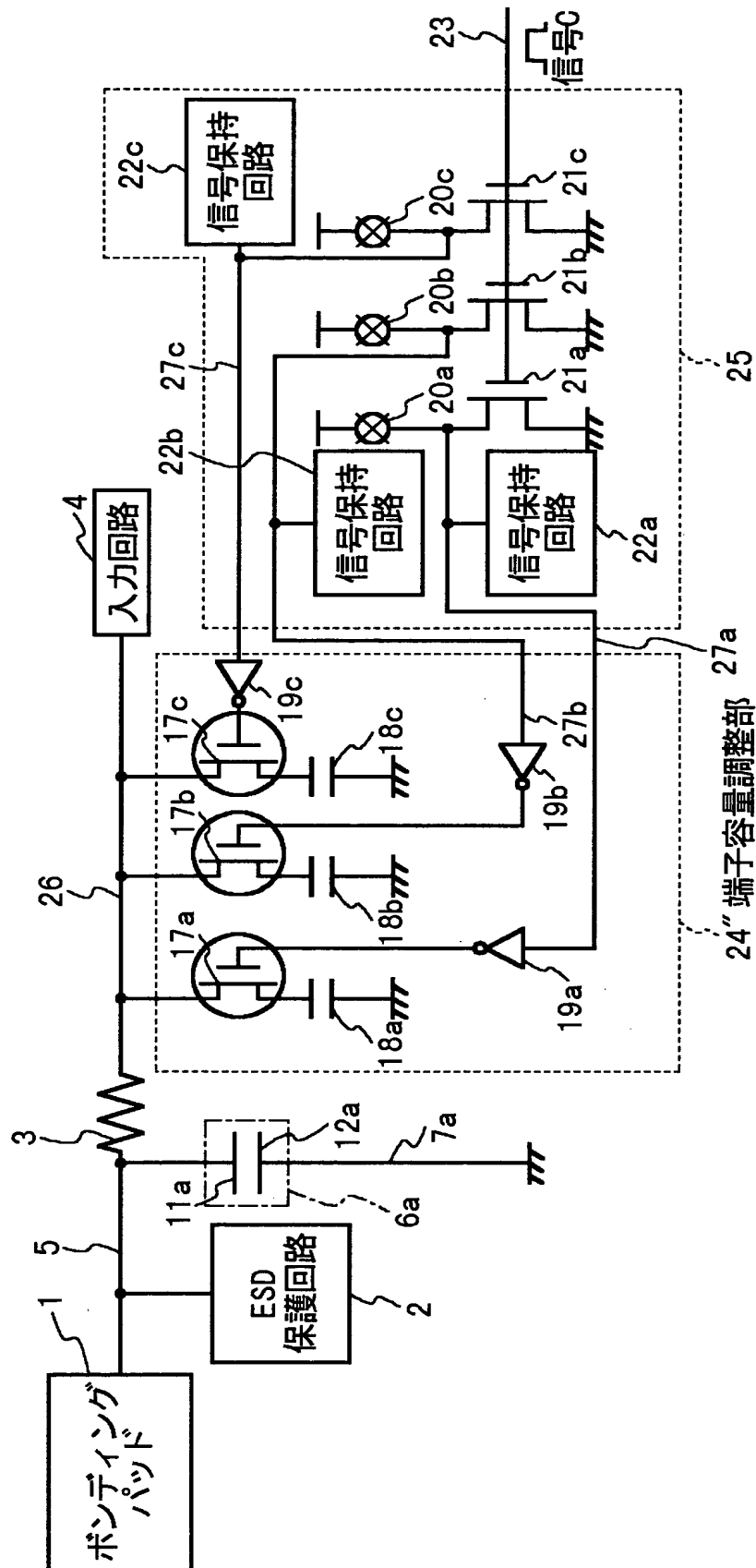
【図 12】



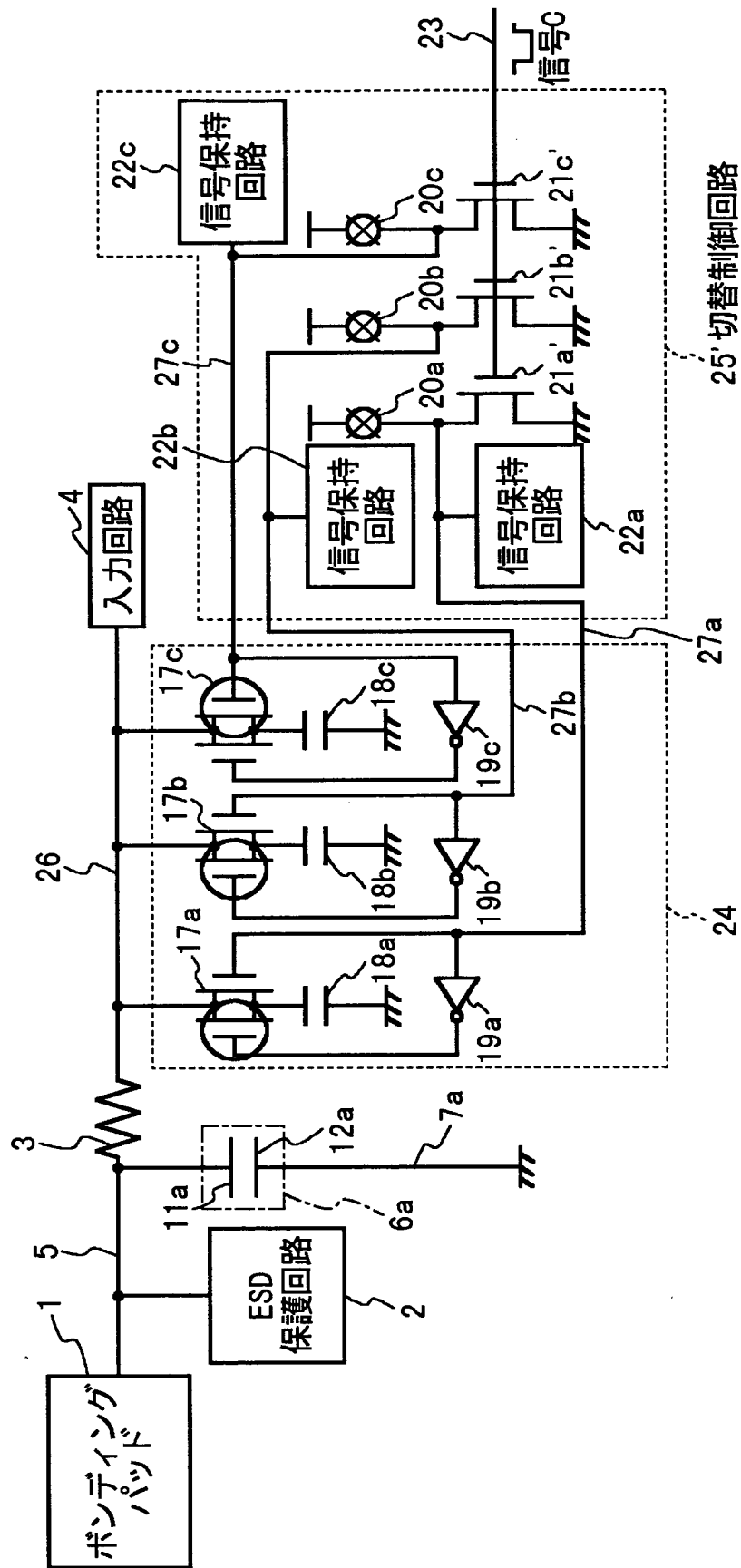
【図 13】



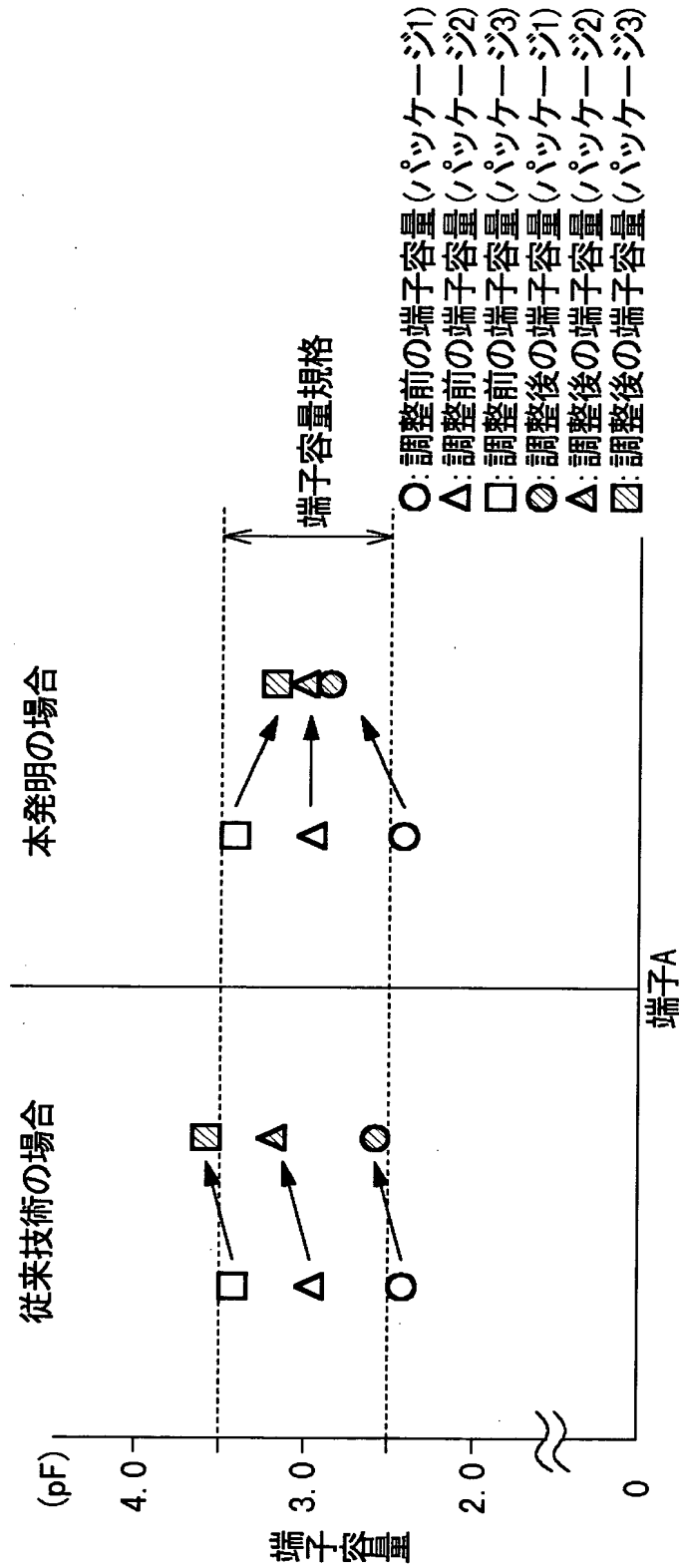
【図 1 4】



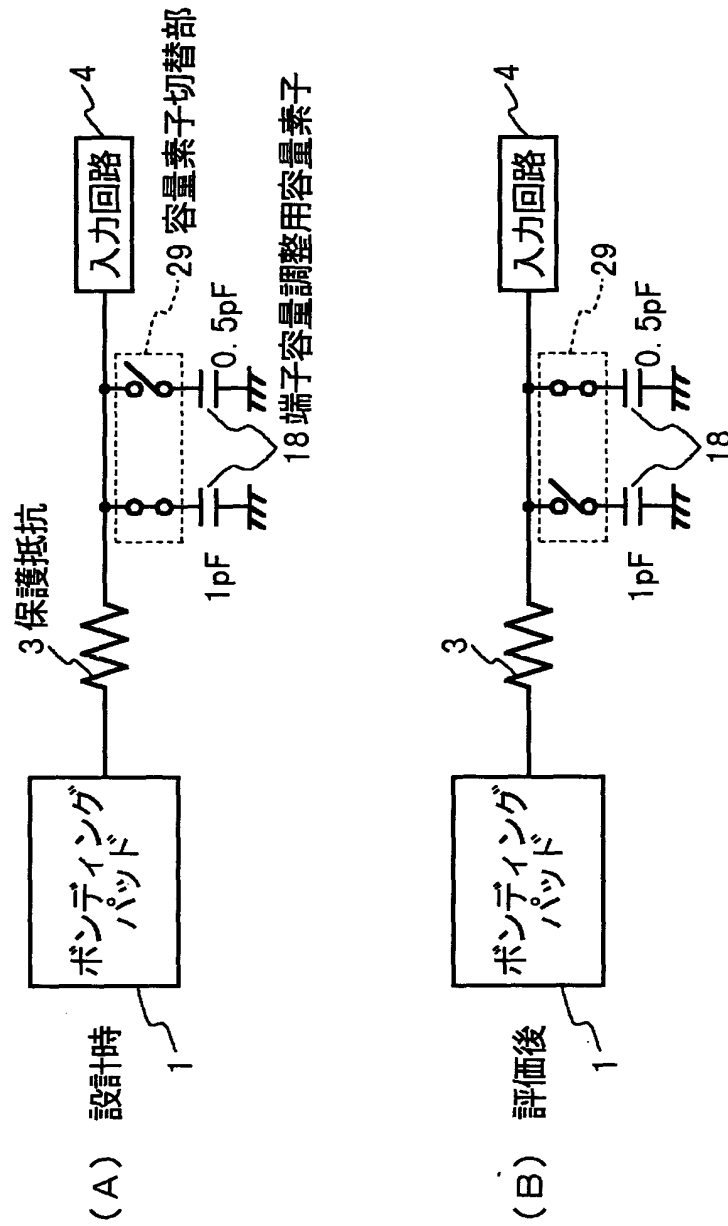
【図 1 5】



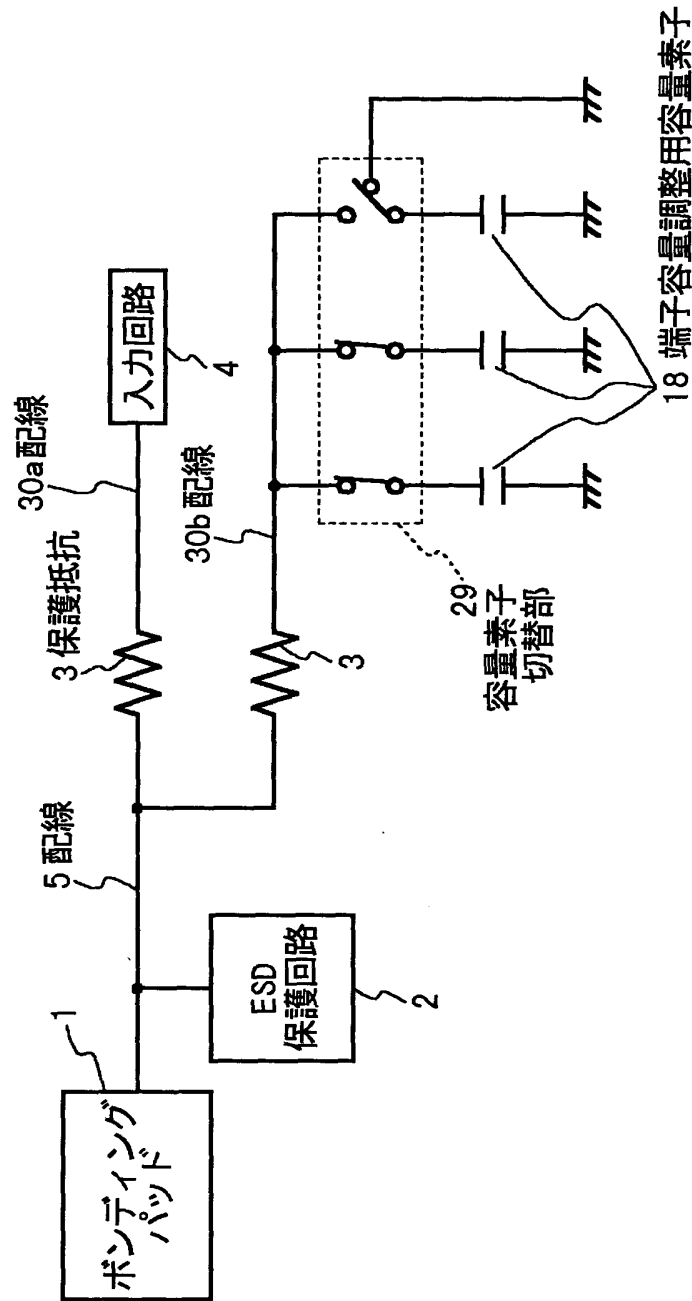
【図 1 6】



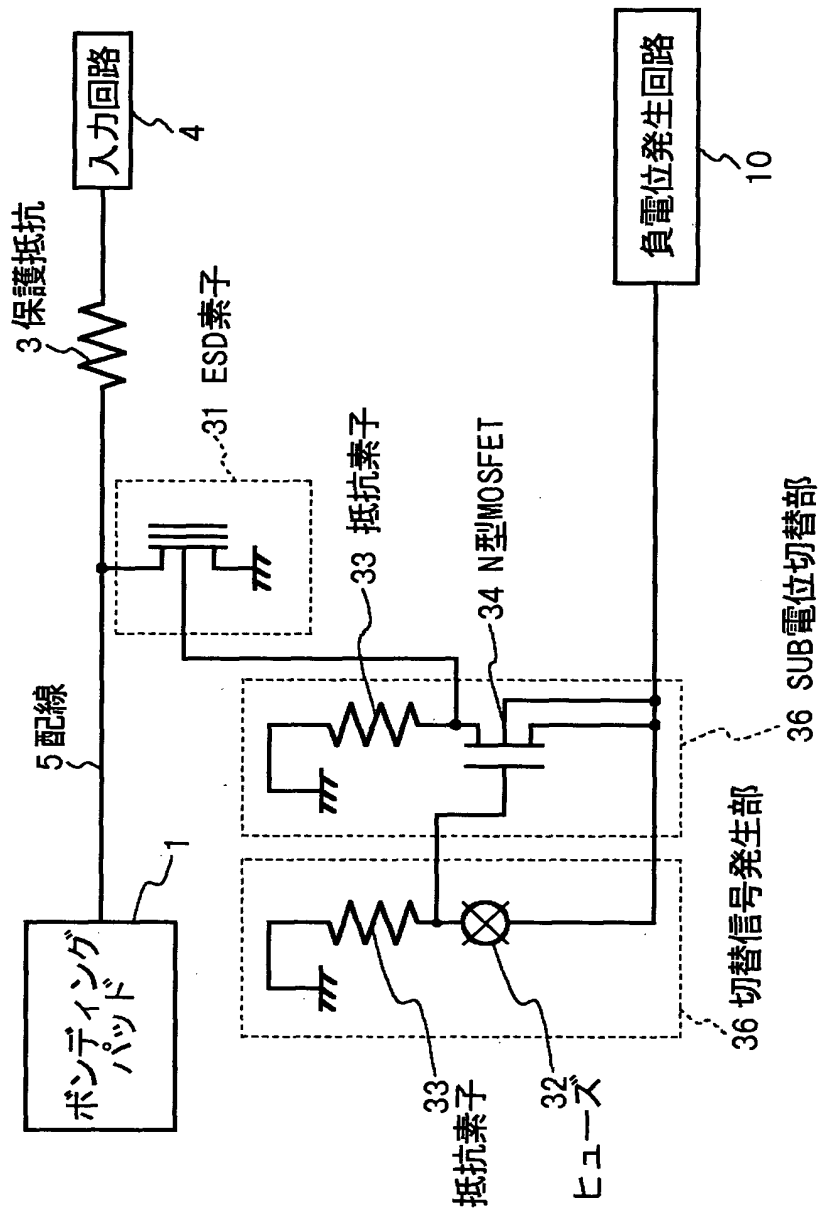
【図 17】



【図 1 8】



【図19】



【書類名】 要約書

【要約】

【課題】 チップサイズを大きくすることなく、端子容量を正確に調整できる半導体集積回路装置を短期間且つ安価に提供する。

【解決手段】 ボンディングパッド 1 と、このボンディングパッド 1 に接続され、基盤 1 6 と逆導電型のウエル領域 1 2 中に形成された、基盤 1 6 と同じ導電型の拡散層領域 1 1 a、1 1 b により形成された端子容量調整用容量素子 6 a、6 b とを備え、端子容量調整用容量素子 6 a、6 b は、ボンディングパッド 1 と、入力回路 4 の前段に設けられた保護抵抗 3 との間に配置されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 2001年 5月21日

[変更理由] 名称変更

住 所 神奈川県川崎市中原区小杉町1丁目403番53

氏 名 エヌイーシーマイクロシステム株式会社

出 願 人 履 歴 情 報

識別番号 [500174247]

1. 変更年月日	2000年 7月12日
[変更理由]	名称変更
住 所	東京都中央区八重洲2-2-1
氏 名	エルピーダメモリ株式会社